



Cuadernillo del Taller de Electrónica II

Cursos: 403 – 404

Docentes: Frassi, Lucas

Rodríguez, Ivana

Contenidos generales

→ Electrónica analógica

- Transistores BJT. Funcionamiento. Aplicaciones. Prácticas.
- Circuitos con transistores.
- Electrónica de Potencia. Transistores de efecto de campo. MOSFET. Funcionamiento. Aplicaciones. Prácticas.
- Electrónica de Potencia. Tiristores. SCR, DIAC, TRIAC. Funcionamiento. Aplicaciones. Prácticas.

→ Electrónica digital

- Conceptos digitales. Magnitudes analógicas y digitales. Niveles lógicos. Formas de onda digitales.
- Sistemas de numeración, operaciones y códigos.
- Puertas lógicas. Implementación. Aplicaciones.
- Temporizador 555. Modos de funcionamiento. Prácticas.
- Arduino. Prácticas.

→ Trabajos Prácticos

→ Anexo: Datasheet componentes utilizados

→ Bibliografía

Electrónica analógica

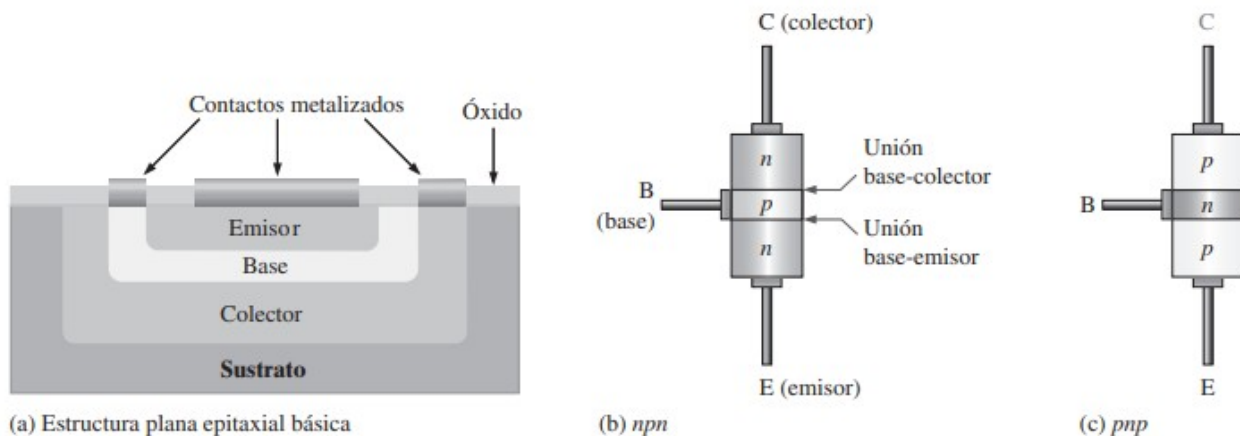
Transistores de unión bipolar

La invención del transistor fue el inicio de una revolución que aún continúa. Todos los sistemas y dispositivos electrónicos complejos actuales son el resultado de los primeros desarrollos de transistores semiconductores.

El BJT (Bipolar Junction Transistor) se utiliza en dos áreas extensas: como amplificador lineal para reforzar o amplificar una señal eléctrica y como interruptor electrónico.¹

El BJT se construye con tres regiones semiconductoras separadas por dos uniones p-n. Las tres regiones se llaman emisor, base y colector.

Existen dos tipos de transistores BJT. Un tipo se compone de dos regiones n separadas por una región p (**nnp**) y el otro tipo consta de dos regiones p separadas por una región n (**pnnp**).²

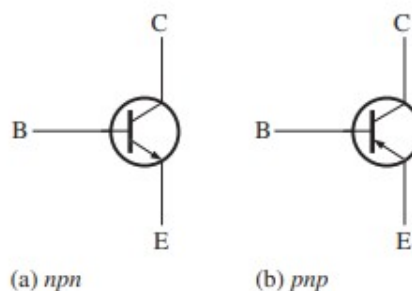


Construcción básica de un BJT.

Nota histórica: El transistor fue inventado en 1947 por un equipo de científicos de Bell Laboratories. William Schochley, Walter Brattain y John Bardeen desarrollaron el dispositivo de estado sólido que reemplazó al tubo de vacío. Cada uno recibió el premio Nobel en 1956. Se supone generalmente que **el transistor es la invención más significativa del siglo veinte**.

Video recomendado:  [Historia del transistor](#)

Símbolos de BJT estándar
(transistor de unión bipolar)



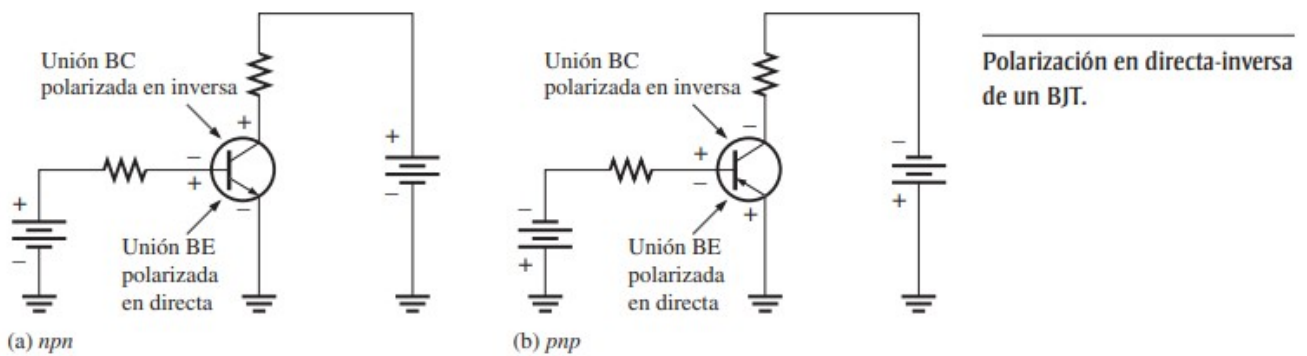
1 FLOYD, Thomas. *Dispositivos Electrónicos. Octava edición.* Pág 163.

2 FLOYD, Thomas. *Dispositivos Electrónicos. Octava edición.* Pág 164.

Operación básica de un BJT

La imagen siguiente muestra los arreglos para polarización tanto de BJT npn como pnp para que operen como amplificador.

Observemos que en ambos casos la unión base-emisor (BE) está polarizada en directa y la unión base-colector (BC) polarizada en inversa. Esta condición se llama polarización en directa-inversa.³



Para entender cómo opera un transistor, veamos lo que sucede en el interior de la estructura npn. La región del emisor de tipo n excesivamente dopada tiene una densidad muy alta de los electrones de banda de conducción (libres).

Estos electrones libres se difunden con facilidad a través de la unión BE polarizada en directa hacia la región de la base de tipo p muy delgada y levemente dopada.

La base tiene una baja densidad de huecos, los cuales son los portadores mayoritarios, representados por los puntos blancos. Un pequeño porcentaje del número total de electrones libres se va hacia la base.

La mayoría de los electrones libres que entraron a la base no se recombinan con huecos porque es muy delgada. A medida que los electrones libres se desplazan hacia la unión BC polarizada en inversa, son arrastrados a través del colector por la atracción del voltaje de alimentación positivo del colector.

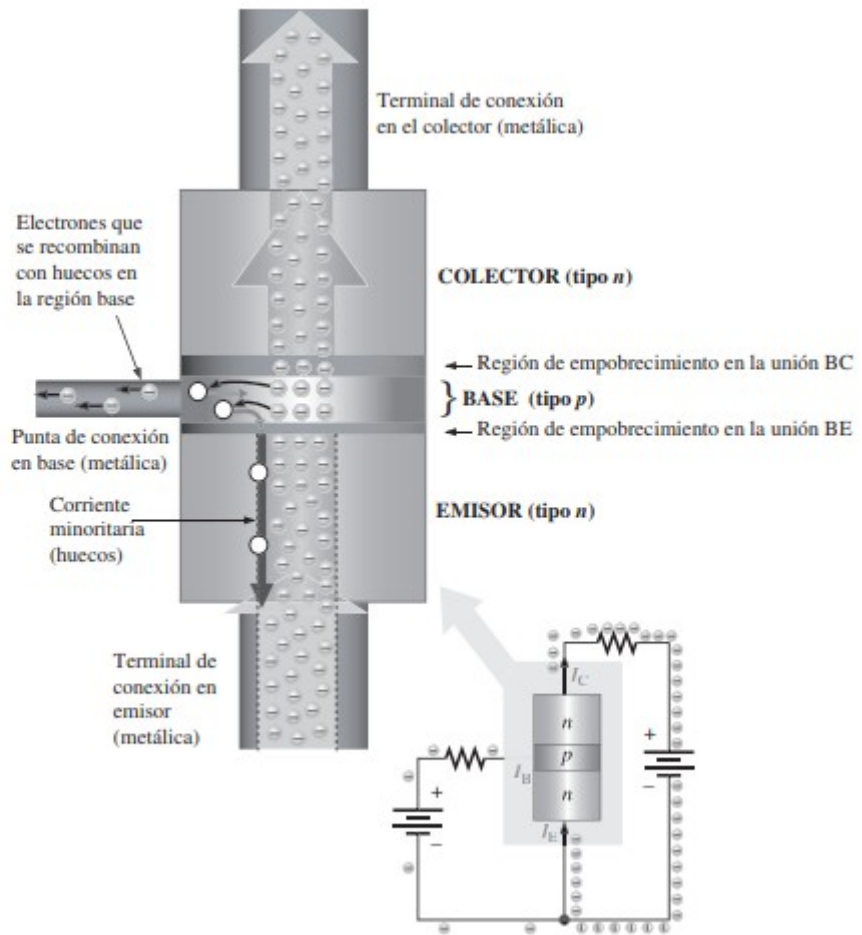
La corriente de emisor es un poco más grande que la corriente de colector debido a la pequeña corriente de base que se desprende de la corriente total inyectada a la base proveniente del emisor.⁴

Video recomendado:  [Funcionamiento del transistor](#)

³ FLOYD, Thomas. *Dispositivos Electrónicos. Octava edición.* Pág 165.

⁴ FLOYD, Thomas. *Dispositivos Electrónicos. Octava edición.* Pág 166.

Operación de un BJT que muestra el flujo de electrones.

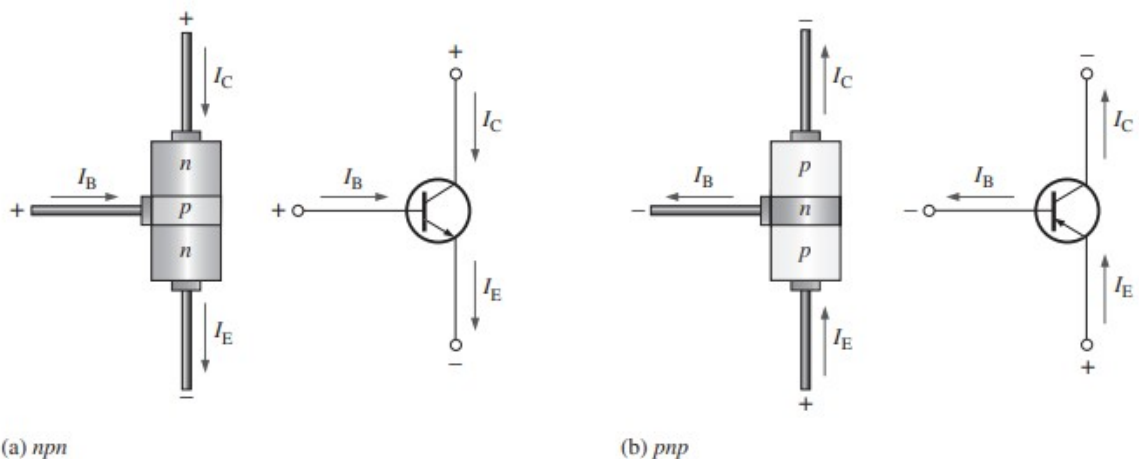


Corrientes del transistor

Observemos que la flecha en el emisor en el interior de los símbolos de transistor apunta en la dirección de la corriente convencional.

Estos diagramas muestran que la corriente de emisor (I_E) es la suma de la corriente de colector (I_C) y la corriente de base (I_B), expresada de la siguiente manera:

$$I_E = I_C + I_B$$



Corrientes en el transistor.

Características y parámetros de un BJT

Beta de cd (β_{CD})

La ganancia de corriente de cd de un transistor es el cociente de la corriente de cd del colector (I_C) entre la corriente de cd de la base (I_B) y se expresa como beta de cd (β_{CD}).

$$\beta_{CD} = \frac{I_C}{I_B}$$

Los valores típicos de β_{CD} van desde 20 hasta 200 o más. β_{CD} normalmente se expresa como un parámetro híbrido (h) equivalente, h_{FE} en hojas de datos de los transistores.

Práctica 1:

- Determinar la ganancia corriente de cd, β_{CD} y la corriente de emisor I_E para un transistor con $I_B = 50\mu A$ e $I_C = 3,65mA$.
- Cierto transistor tiene un β_{CD} de 200. Cuando la corriente de base es de 50mA, determinar la corriente de colector I_C .

Análisis del circuito de un BJT

I_B : corriente de cd de base

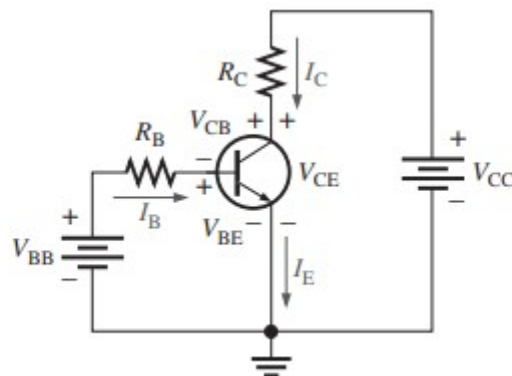
I_E : corriente de cd de emisor

I_C : corriente de cd de colector

V_{BE} : voltaje de cd en la base con respecto al emisor

V_{CB} : voltaje de cd en el colector con respecto a la base

V_{CE} : voltaje de cd en el colector con respecto al emisor



Corrientes y voltajes en el transistor.

La fuente de voltaje, V_{BB} , polariza en directa la unión base-emisor y la fuente de voltaje, V_{CC} polariza en inversa la unión base-colector. Cuando la unión base-emisor se polariza en directa, opera como un diodo polarizado en directa y la caída de voltaje con polarización en directa nominal es:

$$V_{BE} \cong 0.7 V$$

Como el emisor está conectado a tierra (0V), de acuerdo con la ley del voltaje de Kirchhoff, el voltaje a través de R_B es:

$$V_{R_B} = V_{BB} - V_{BE}$$

Asimismo, de acuerdo con la ley de Ohm,

$$V_{R_B} = I_B R_B$$

Sustituyendo en lugar de V_{R_B} se obtiene

$$I_B R_B = V_{BB} - V_{BE}$$

Despejando para I_B ,

$$I_B = \frac{V_{BB} - V_{BE}}{R_B}$$

El voltaje en el colector con respecto al emisor conectado a tierra es

$$V_{CE} = V_{CC} - V_{R_C}$$

Como la caída a través de R_C es

$$V_{R_C} = I_C R_C$$

el voltaje en el colector con respecto al emisor se escribe como

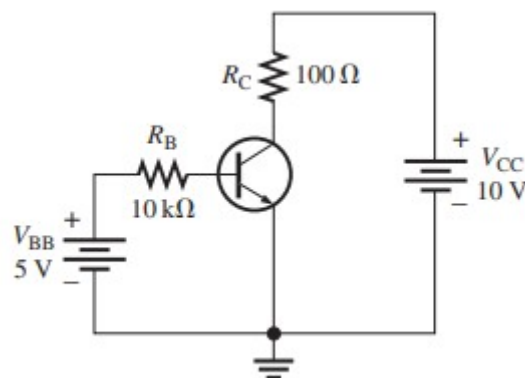
$$V_{CE} = V_{CC} - I_C R_C$$

donde $I_C = \beta_{CD} I_B$.

El voltaje a través de la unión colector-base polarizada en inversa es

$$V_{CB} = V_{CE} - V_{BE}$$

Ejemplo: Determinar I_B , I_C , I_E , V_{BE} , V_{CE} y V_{CB} . $\beta_{CD} = 150$.



$$I_B = \frac{V_{BB} - V_{BE}}{R_B} = \frac{5\text{ V} - 0.7\text{ V}}{10\text{ k}\Omega} = 430\ \mu\text{A}$$

$$I_C = \beta_{DC} I_B = (150)(430\ \mu\text{A}) = 64.5\text{ mA}$$

$$I_E = I_C + I_B = 64.5\text{ mA} + 430\ \mu\text{A} = 64.9\text{ mA}$$

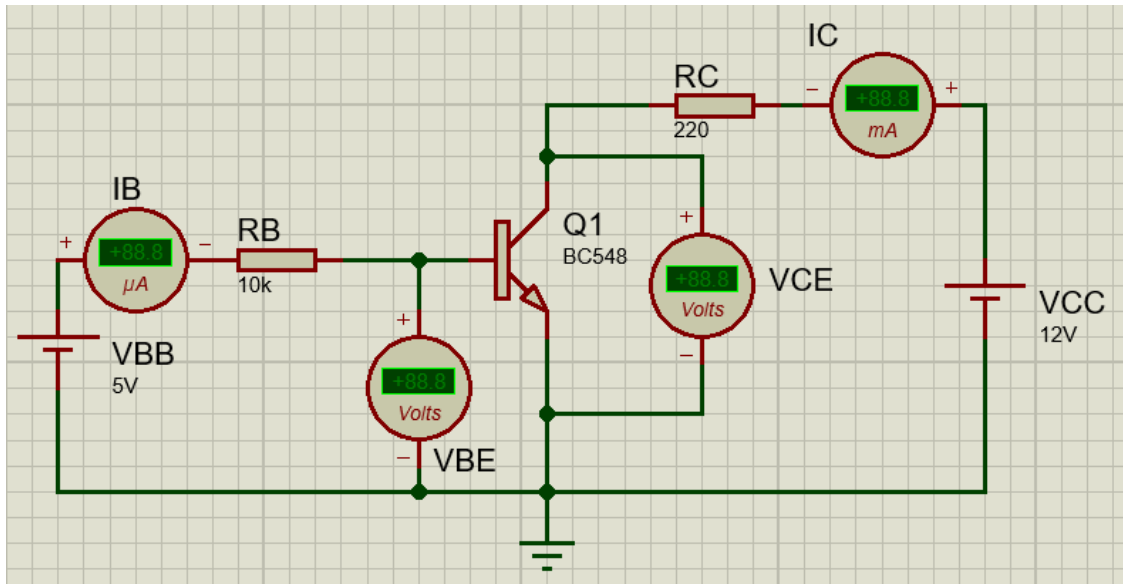
Despejando V_{CE} y V_{CB} .

$$V_{CE} = V_{CC} - I_C R_C = 10\text{ V} - (64.5\text{ mA})(100\ \Omega) = 10\text{ V} - 6.45\text{ V} = 3.55\text{ V}$$

$$V_{CB} = V_{CE} - V_{BE} = 3.55\text{ V} - 0.7\text{ V} = 2.85\text{ V}$$

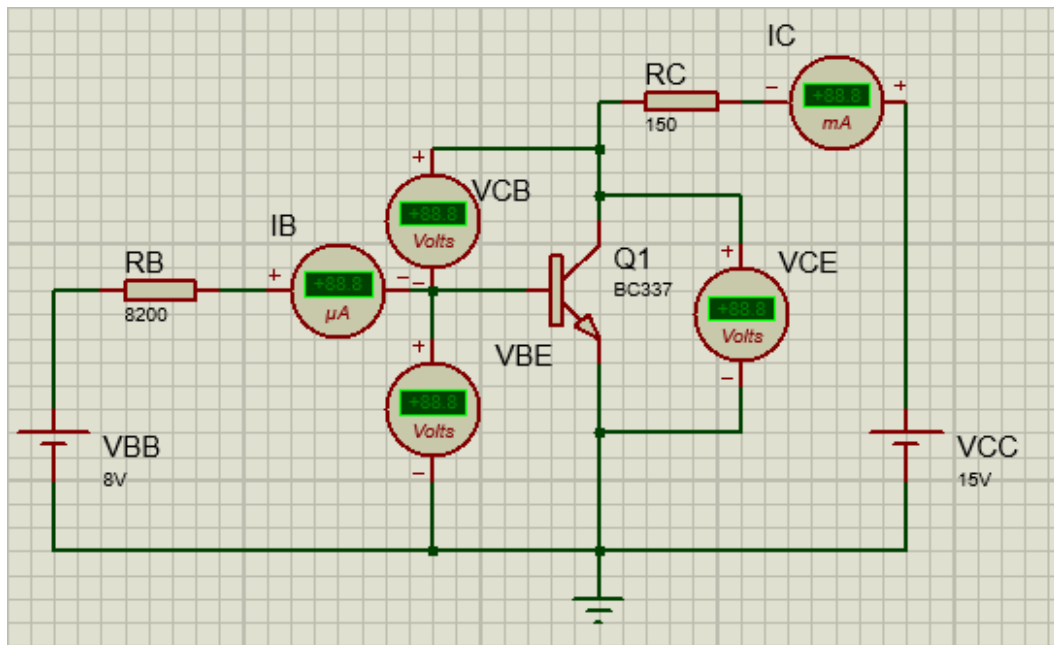
Práctica 2: Ensayo del BC548

Determinar: I_B , I_C , I_E , V_{CE} , V_{CB} . Considerar $V_{BE} = 0,8V$ y $\beta_{CD} = 110$. Ensayar en Proteus y protoboard.



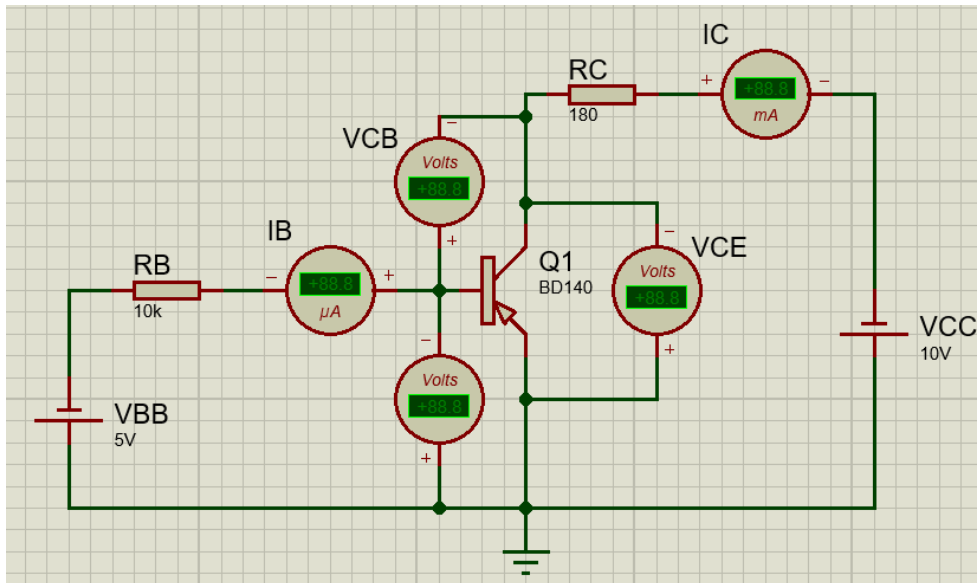
Práctica 3: Ensayo del BC337

Determinar: I_B , I_C , I_E , V_{CE} , V_{CB} . Considerar $V_{BE} = 0,8V$ y $\beta_{CD} = 45$. Ensayar en Proteus y protoboard.



Práctica 4: Ensayo del BD140

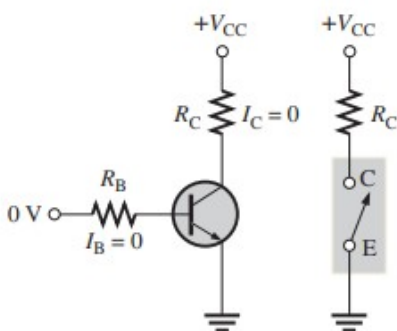
Determinar: I_B , I_C , I_E , V_{CE} , V_{CB} . Considerar $V_{BE} = 0,6V$ y $\beta_{CD} = 40$. Ensayar en Proteus y protoboard.



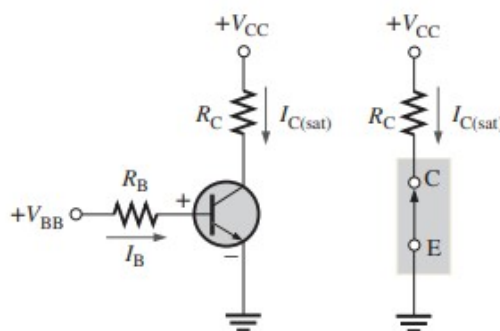
El BJT como interruptor

En la parte a), el transistor está en la región de corte porque la unión base-emisor no está polarizada en directa. En esta condición, existe, idealmente, una abertura entre el colector y el emisor, como lo indica el equivalente de interruptor.

En la parte b), el transistor está en la región de saturación porque la unión base-emisor y la unión base-colector están polarizadas en directa y la corriente en la base llega a ser suficientemente grande para provocar que la corriente en el colector alcance su valor de saturación. En esta condición, existe, idealmente, un corto entre el colector y el emisor, como lo indica el equivalente de interruptor. En realidad, normalmente ocurre una pequeña caída de voltaje a través del transistor de unos cuantos décimos de volt, la cual es el voltaje de saturación, $V_{CE(sat)}$.⁵



(a) Corte-interruptor abierto



(b) Saturación-interruptor cerrado

Acción de conmutación de un transistor ideal.

Condiciones en corte

Como se mencionó, un transistor está en la región de corte cuando la unión base-emisor no está polarizada en directa. Si se ignora la corriente de fuga, todas las corrientes son cero y V_{CE} es igual a V_{CC} .

$$V_{CE(\text{corte})} = V_{CC}$$

Condiciones en saturación

Como ya vimos, cuando la unión base-emisor está polarizada en directa y existe suficiente corriente en la base para producir una corriente máxima en el colector, el transistor está en saturación. La fórmula para la corriente de saturación de colector es:

$$I_{C(\text{sat})} = \frac{V_{CC} - V_{CE(\text{sat})}}{R_C}$$

Puesto que $V_{CE(\text{sat})}$ es muy pequeño comparado con V_{CC} , casi siempre puede ser despreciado. El valor máximo de la corriente en base requerida para producir saturación es:

$$I_{B(\text{mín})} = \frac{I_{C(\text{sat})}}{\beta_{CD}}$$

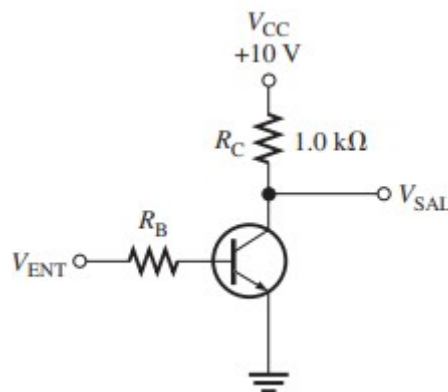
Normalmente, I_B debe ser significativamente más grande que $I_{B(\text{mín})}$ para garantizar que el transistor esté en saturación.⁶

Práctica 5

(a) ¿Cuál es V_{CE} cuando $V_{ENT} = 0V$?

(b) ¿Qué valor mínimo de I_B se requiere para llevar a saturación este transistor si β_{CD} es de 200? $V_{CE(\text{sat})} = 0,2V$

(c) Calcular el valor máximo de R_B cuando $V_{ENT} = 5V$



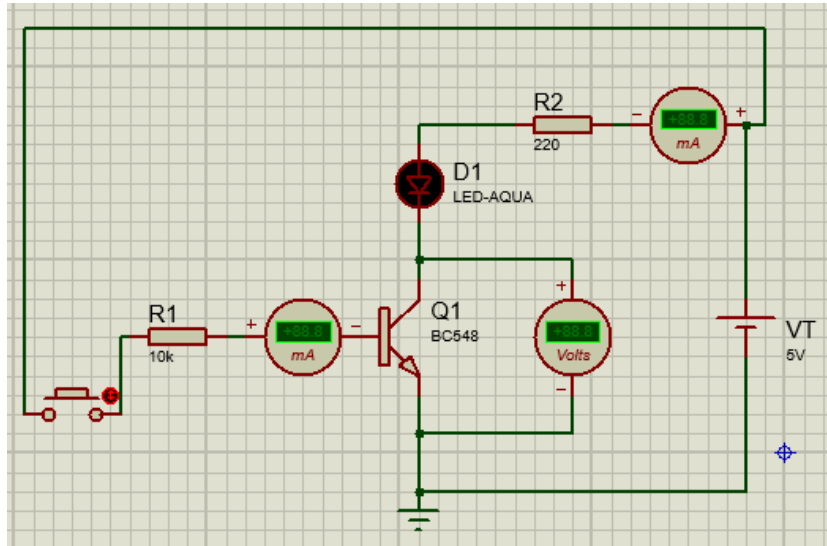
Práctica 6

a) Determinar el valor mínimo de I_B requerido para llevar a saturación el transistor de la práctica 5 si β_{CD} es de 125 y $V_{CE(sat)}$ es de 0,3V.

b) Calcular el valor máximo de R_B cuando $V_{ENT} = 5V$.

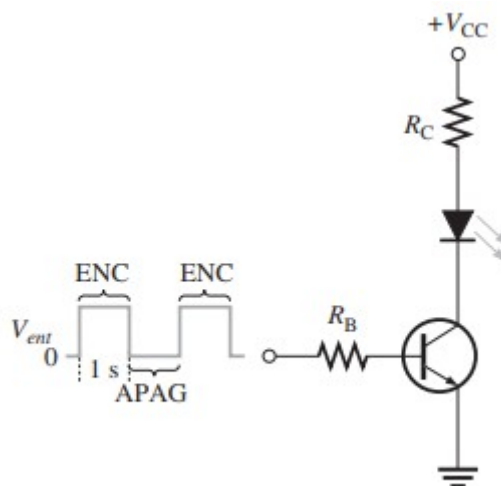
Práctica 7

Calcular I_B , I_C y V_{CE} . Simular en Proteus y armar en protoboard. Comparar resultados.



Una aplicación simple de un interruptor con un transistor

El transistor de la imagen siguiente se utiliza como interruptor para encender y apagar un LED. Por ejemplo, se aplica un voltaje de entrada de onda cuadrada con un periodo de 2seg a la entrada.



Cuando la onda cuadrada es de 0V, el transistor está en corte; y en vista de que no hay corriente en el colector, el LED no emite luz.

Cuando la onda cuadrada alcanza un nivel alto, el transistor se se va a saturación. Esto polariza en directa el LED, y la corriente resultante en el colector que pasa a través del LED hace que emita luz.

De este modo, el LED prende durante 1 segundo y se apaga durante 1 segundo.

El LED requiere 30mA para emitir un nivel de luz suficiente. Por consiguiente, la corriente en el colector debe ser aproximadamente de 30mA.

Con los siguientes valores para el circuito, determinar la amplitud del voltaje de entrada de onda cuadrada necesario para asegurarse de que el transistor se vaya a saturación.

Usar el doble del valor mínimo de la corriente en la base como margen de seguridad para asegurar la saturación.

$V_{CC} = 9V$, $V_{CE(sat)} = 0,3V$, $R_C = 220\Omega$, $R_B = 3,3 k\Omega$, $\beta_{DC} = 50$ y $V_{LED} = 1,6V$

$$I_{C(sat)} = \frac{V_{CC} - V_{LED} - V_{CE(sat)}}{R_C} = \frac{9V - 1.6V - 0.3V}{220\Omega} = 32.3\text{ mA}$$
$$I_{B(mín)} = \frac{I_{C(sat)}}{\beta_{DC}} = \frac{32.3\text{ mA}}{50} = 646\mu\text{A}$$

Para garantizar la saturación, use dos veces el valor de $I_{B(mín)}$, el cual es 1.29 mA. Use la ley de Ohm para resolver para V_{ent}

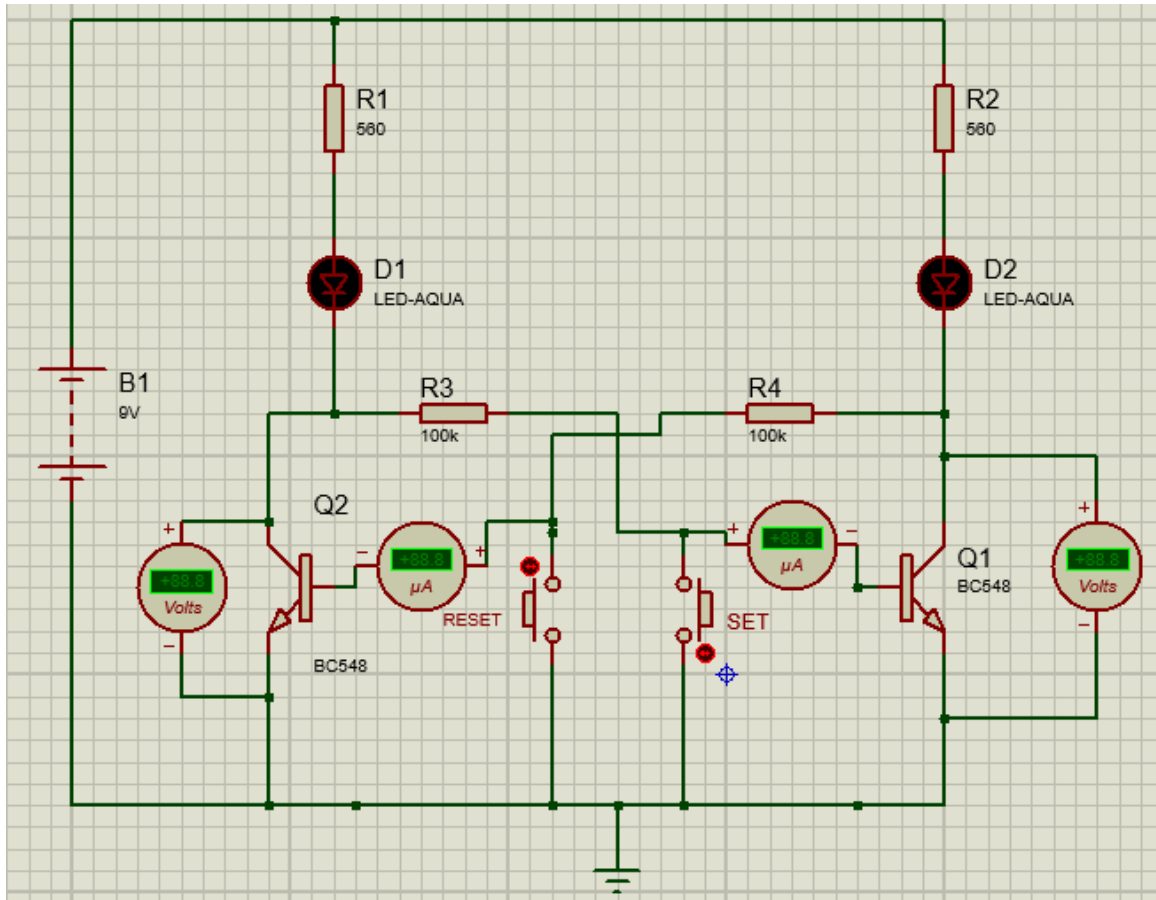
$$I_B = \frac{V_{R_B}}{R_B} = \frac{V_{ent} - V_{BE}}{R_B} = \frac{V_{ent} - 0.7V}{3.3\text{ k}\Omega}$$
$$V_{ent} - 0.7V = 2I_{B(mín)}R_B = (1.29\text{ mA})(3.3\text{ k}\Omega)$$
$$V_{ent} = (1.29\text{ mA})(3.3\text{ k}\Omega) + 0.7V = 4.96V$$

Práctica 8

Cambiar el LED de la práctica 6 por uno que requiere 20mA para una emisión de luz especificada y no puede incrementar la amplitud de entrada a más de 5V o V_{CC} a más de 9V, ¿cómo modificaría el circuito? Especificar el componente o los componentes que cambiaría y el valor o los valores.

Circuitos con transistores

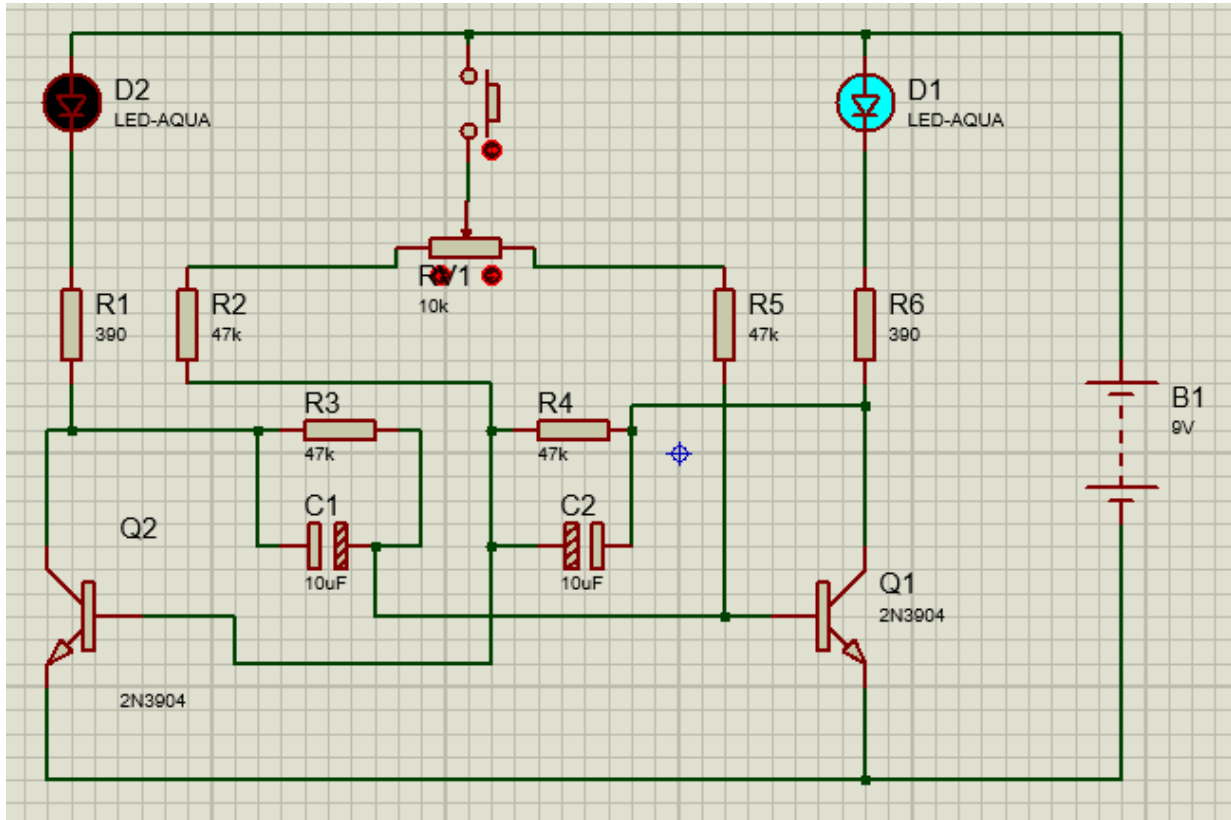
Circuito 1: Biestable R-S



- Ensayar en Proteus.
- Ensayar en protoboard y medir con el multímetro intensidades y voltajes de ambos transistores en ambos estados del biestable.
- Diseñar PCB en Proteus.

Explicación del funcionamiento:

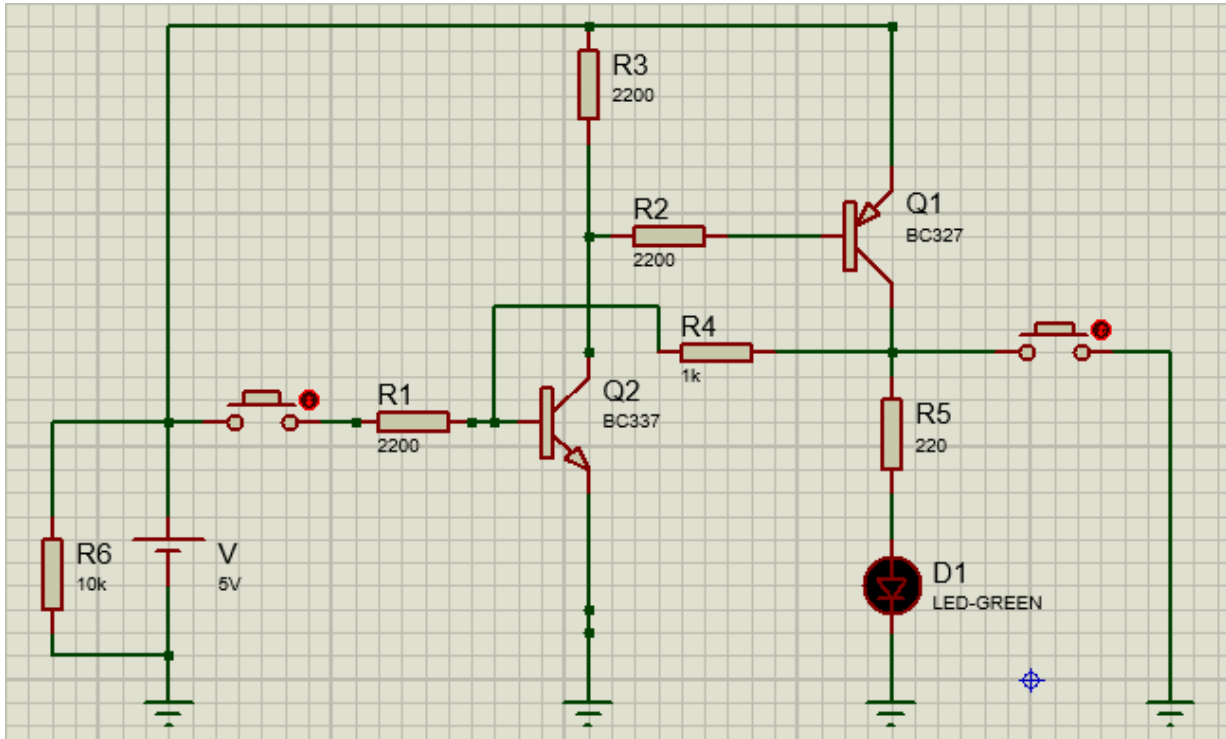
Circuito 2: Biestable con un pulsador



- Ensayar en Proteus.
- Ensayar en protoboard y medir con el multímetro intensidades y voltajes de ambos transistores en ambos estados del biestable.
- Diseñar PCB en Proteus

Explicación del funcionamiento:

Circuito 3: Latch (retención) de transistores



- Ensayar en Proteus.
- Ensayar en protoboard y medir con el multímetro intensidades y voltajes de ambos transistores en ambos estados del latch.
- Diseñar PCB en Proteus

Explicación del funcionamiento:

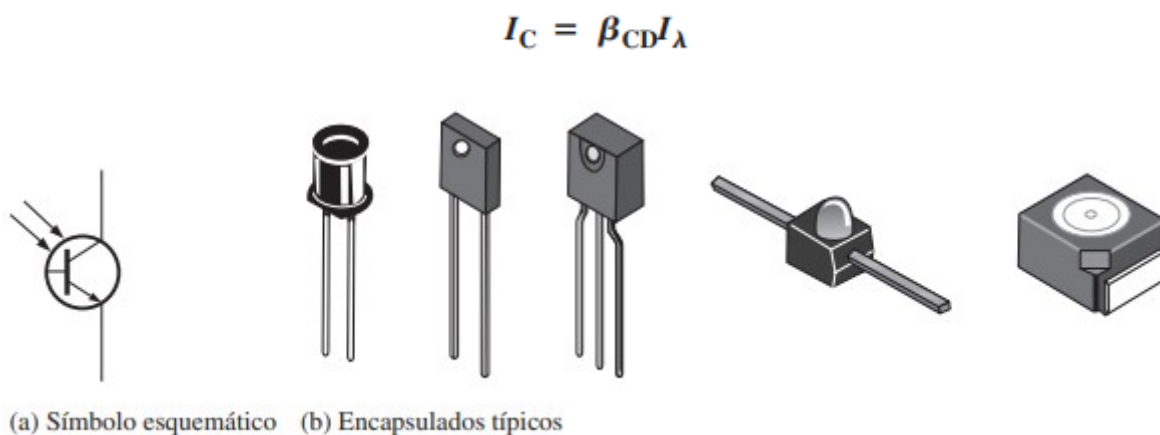
El fototransistor

Un fototransistor es similar a un BJT regular excepto porque la corriente en la base es producida y controlada por luz en lugar de por una fuente de voltaje. El fototransistor efectivamente convierte la energía luminosa en una señal eléctrica.⁷

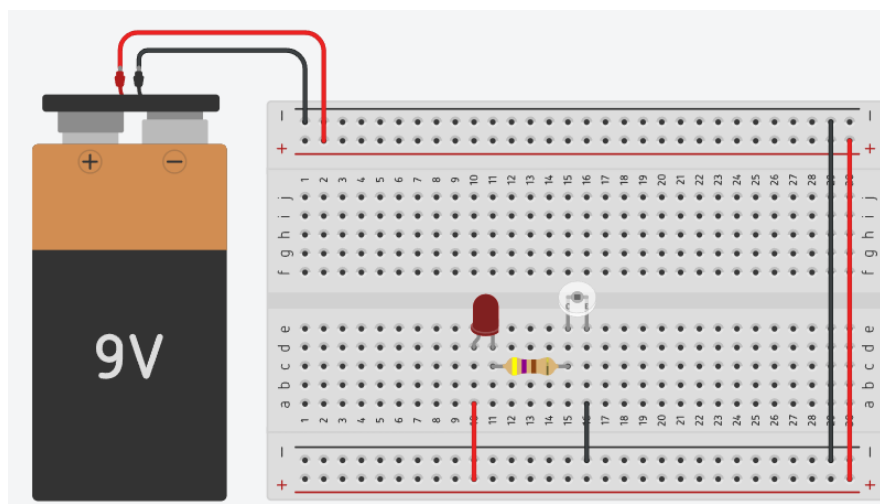
En un fototransistor la corriente en la base se produce cuando la luz choca con la región de la base semiconductora fotosensible. Se expone la unión p-n colector-base a la luz incidente mediante la abertura de una lente incluida en el transistor.

Cuando no hay luz incidente, sólo hay una pequeña corriente generada térmicamente del colector al emisor, I_{CEO} ; esta corriente oscura en general se encuentra en el orden de los nA.

Cuando la luz choca con la unión p-n colector-base se produce una corriente en la base, I_{λ} , que es directamente proporcional a la intensidad de la luz.⁸



Práctica 9: Ensayo de fototransistor en Tinkercad y protoboard.



⁷ FLOYD, Thomas. *Dispositivos Electrónicos. Octava edición.* Pág 185.

⁸ FLOYD, Thomas. *Dispositivos Electrónicos. Octava edición.* Pág 186.

Categorías de transistores

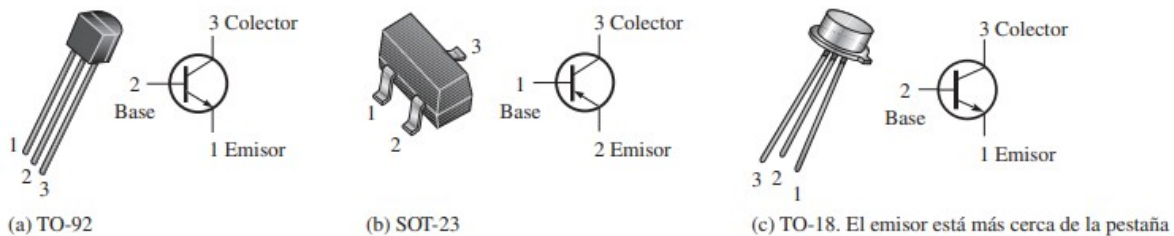
Los fabricantes en general clasifican los transistores de unión bipolar en tres categorías: dispositivos para propósito general/pequeña señal, dispositivos de potencia y dispositivos de radiofrecuencia (radiofrecuencia/microondas).

Transistores para propósito general/señal pequeña

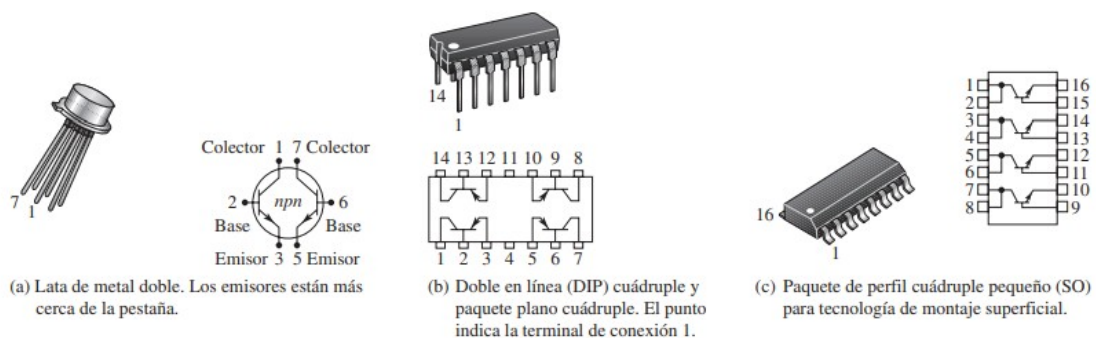
Los transistores para propósitos generales/señal pequeña en general se utilizan en amplificadores de baja o mediana potencia o en circuitos de conmutación. Los encapsulados son cajas de plástico o metálicos. Ciertos tipos de encapsulados contienen varios transistores.⁹

Transistores de potencia

Se utilizan transistores de potencia para manejar grandes corrientes (por lo general de más de 1A) y/o grandes voltajes. Por ejemplo, la etapa final de audio en un sistema estéreo utiliza un amplificador de transistor de potencia para manejar los parlantes.



Cajas de plástico y metal de transistores de señal pequeña para propósito general. Las configuraciones de terminales de conexión puede variar. Siempre consulte la hoja de datos (<http://fairchildsemiconductor.com/>).

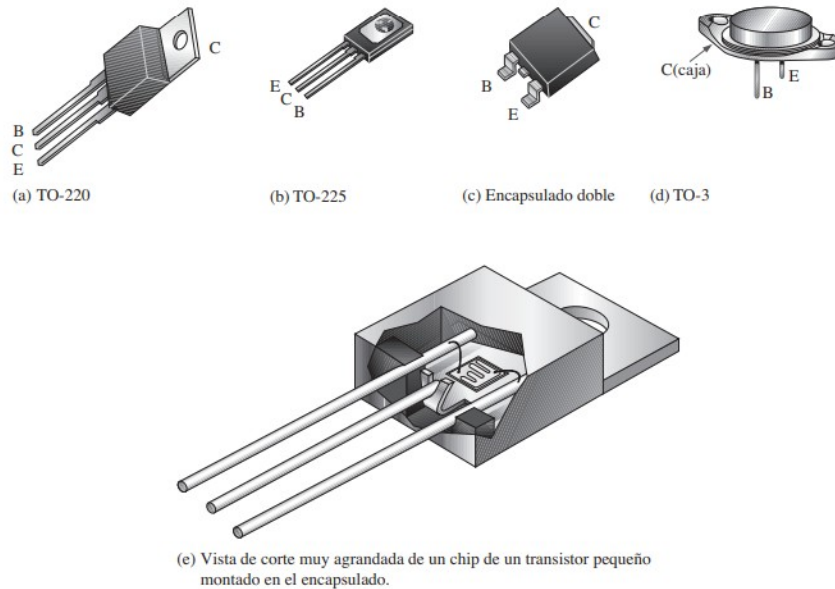


Ejemplos de encapsulado de varios transistores en conjunto.

La pestaña metálica o la caja de metal es común al colector y está conectada térmicamente a un disipador de calor para la eliminación del calor. Veamos en la parte e) cómo se monta el pequeño chip de transistor en el interior de un encapsulado mucho más grande.¹⁰

⁹ FLOYD, Thomas. *Dispositivos Electrónicos. Octava edición.* Pág 189.

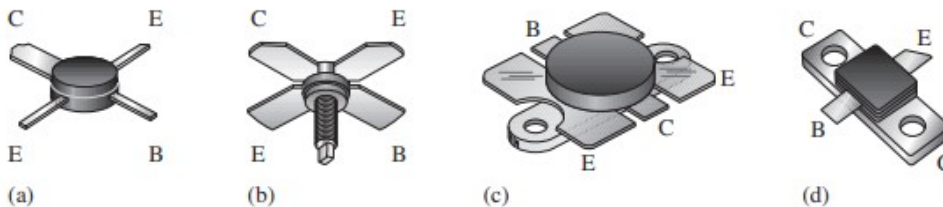
¹⁰ FLOYD, Thomas. *Dispositivos Electrónicos. Octava edición.* Pág 190.



Ejemplos de encapsulados y transistores de potencia.

Transistores de radiofrecuencia

Los transistores de radiofrecuencia están diseñados para operar a frecuencias extremadamente altas y se utilizan comúnmente para varios propósitos en sistemas de comunicación y otras aplicaciones de alta frecuencia. Sus formas inusuales y configuraciones de terminales de conexión están diseñadas para optimizar ciertos parámetros de alta frecuencia.¹¹



Ejemplos de encapsulados de transistor de radiofrecuencia.

Transistores de efecto de campo (FET)

El transistor de unión bipolar (BJT, bipolar junction transistor) está basado en dos tipos de carga: los electrones libres y los huecos; razón por la que se denomina bipolar: el prefijo bi quiere decir "dos".

A continuación veremos otro tipo de transistor: el FET (field-effect transistor, transistor de efecto de campo). Este tipo de dispositivo es unipolar porque su operación sólo depende de un tipo de carga, electrones libres o huecos. En otras palabras, un FET tiene portadores mayoritarios pero no portadores minoritarios.

En la mayor parte de las aplicaciones lineales, el BJT es el dispositivo preferido. Pero existen algunas aplicaciones lineales en las que el FET se adapta mejor a causa de su alta impedancia de entrada y otras propiedades. Además, el FET es el dispositivo preferido para la mayoría de las aplicaciones de conmutación. ¿Por qué? Porque en un FET no existen los portadores minoritarios. En consecuencia, puede cortarse más rápidamente, ya que no hay carga almacenada que tenga que ser eliminada del área de la unión.¹²

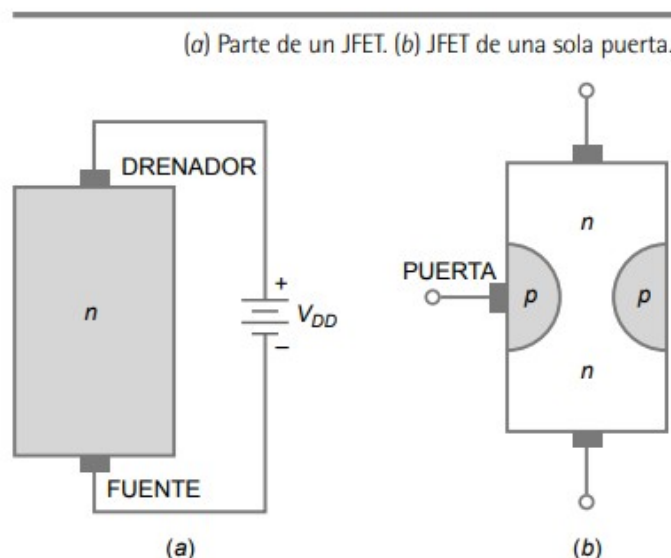
Existen dos clases de transistores unipolares: el JFET y el MOSFET.

- JFET (junction field-effect transistor)
- MOSFET (metal-oxide semiconductor FET)

Ideas básicas

La siguiente imagen en la parte (a) muestra un fragmento de un semiconductor de tipo n. El extremo inferior es la fuente y el extremo superior se denomina drenador. La fuente de alimentación V_{DD} fuerza a que los electrones libres fluyan desde la fuente hacia el drenador.

Para fabricar un JFET, el fabricante difunde dos áreas de semiconductor de tipo p en el semiconductor de tipo n, como se muestra en la parte b. Estas regiones p están conectadas internamente para conseguir un sólo terminal externo de puerta o compuerta.¹³

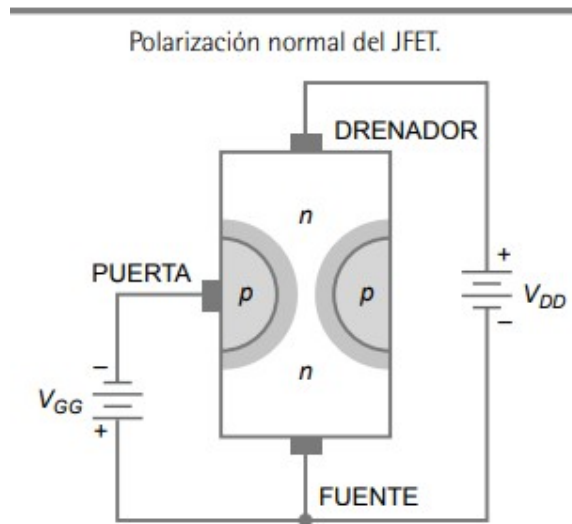


12 MALVINO, A; BATES, D. *Principios de Electrónica. Séptima edición.* Pág. 400.

13 MALVINO, A; BATES, D. *Principios de Electrónica. Séptima edición.* Pág. 402.

Efecto de campo

La tensión de alimentación de drenador es positiva y la tensión de alimentación de puerta es negativa. El término efecto de campo está relacionado con las zonas de deplexión alrededor de cada una de las regiones p. Estas zonas de deplexión existen porque los electrones libres se difunden desde las regiones n a las regiones p. La recombinación de los electrones libres y los huecos crea las zonas de deplexión (las áreas sombreadas más oscuras en la figura).



Polarización inversa de puerta

En la imagen anterior la puerta de tipo p y la fuente de tipo n forman el diodo puerta-fuente. En un JFET, el diodo puerta-fuente siempre se polariza en inversa. Debido a la polarización inversa, la corriente de puerta I_G es aproximadamente cero, lo que equivale a decir que el JFET presenta una resistencia de entrada casi infinita.

Un JFET típico tiene una resistencia de entrada de cientos de megaohmios. Ésta es la gran ventaja que un JFET tiene sobre un transistor bipolar y es por lo que constituye una excelente solución para las aplicaciones en las que se requiere una alta impedancia de entrada.

La tensión de puerta controla la corriente de drenador

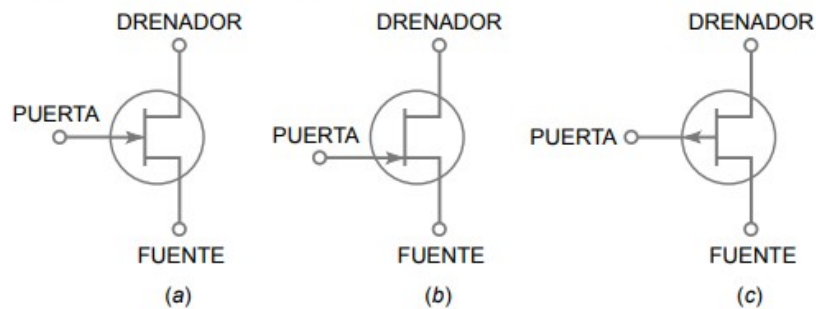
En la imagen anterior, los electrones que fluyen desde la fuente al drenador tienen que atravesar el estrecho canal que hay entre las zonas de deplexión. Cuando la tensión de puerta se hace más negativa, las zonas de deplexión se expanden y el canal de conducción se hace más estrecho.

Cuanto más negativa sea la tensión de puerta, menor será la corriente entre la fuente y el drenador. El JFET es un dispositivo controlado por tensión porque una tensión de entrada controla una corriente de salida. En un JFET, la tensión puerta-fuente V_{GS} determina la cantidad de corriente que fluye entre la fuente y el drenador. **Si V_{GS} es cero, la corriente máxima de drenador circula a través del JFET.**¹⁴

Video recomendado:  [Transistores de efecto de campo](#)

Símbolo esquemático

(a) Símbolo esquemático. (b) Símbolo con la puerta desplazada. (c) Símbolo para canal p.



El **MOSFET** (metal-oxide semiconductor FET, FET metal-óxido semiconductor) tiene una fuente, una puerta y un drenador.

El MOSFET se diferencia del JFET en que la puerta está aislada del canal. Por esta razón, la corriente de puerta es aún más pequeña que en un JFET.

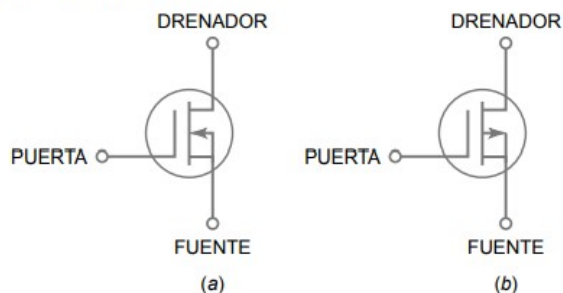
El MOSFET a veces se denomina IGFET (insulated-gate FET, FET de puerta aislada).

Existen dos clases de MOSFET, el tipo que opera en modo de vaciamiento y el tipo que opera en modo de enriquecimiento.

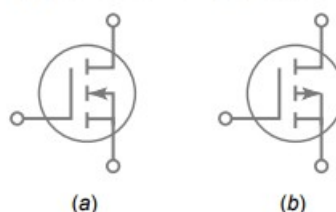
El MOSFET en modo de enriquecimiento se usa tanto en circuitos discretos como en circuitos integrados. En circuitos discretos, se aplica principalmente a circuitos de conmutación de potencia, lo que significa suministrar y bloquear corrientes grandes. En circuitos integrados, se aplica fundamentalmente en circuitos de conmutación digitales, el proceso básico que hay detrás de las modernas computadoras.

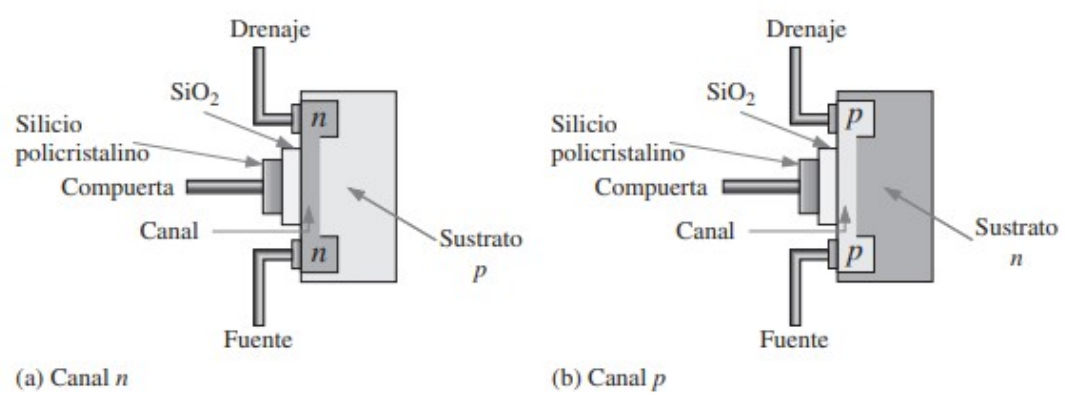
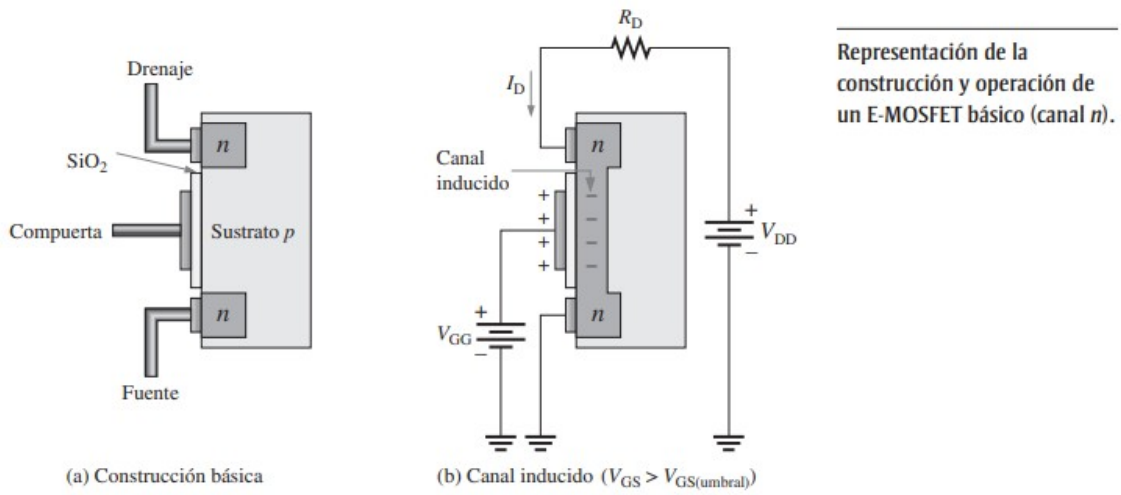
Aunque su utilización ha disminuido notablemente, el MOSFET en modo de vaciamiento todavía tiene aplicación en las primeras etapas de los circuitos de comunicaciones de alta frecuencia, como por ejemplo, los amplificadores de RF.¹⁵

Símbolos esquemáticos del D-MOSFET. (a) Canal n. (b) Canal p.



Símbolos esquemáticos del E-MOSFET. (a) Dispositivo de canal n. (b) Dispositivo de canal p.

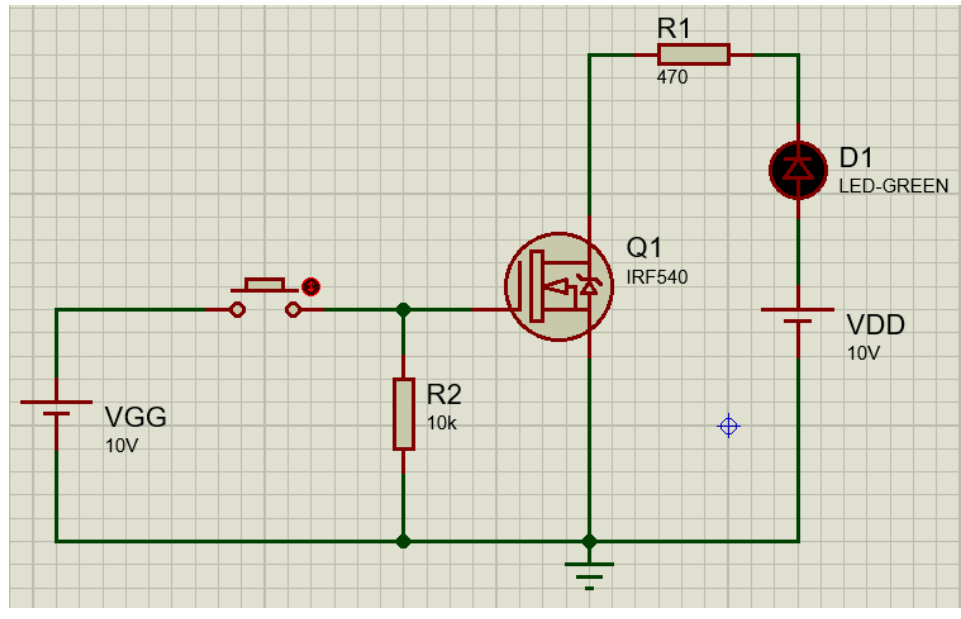




Representación de la estructura básica de los D-MOSFET.

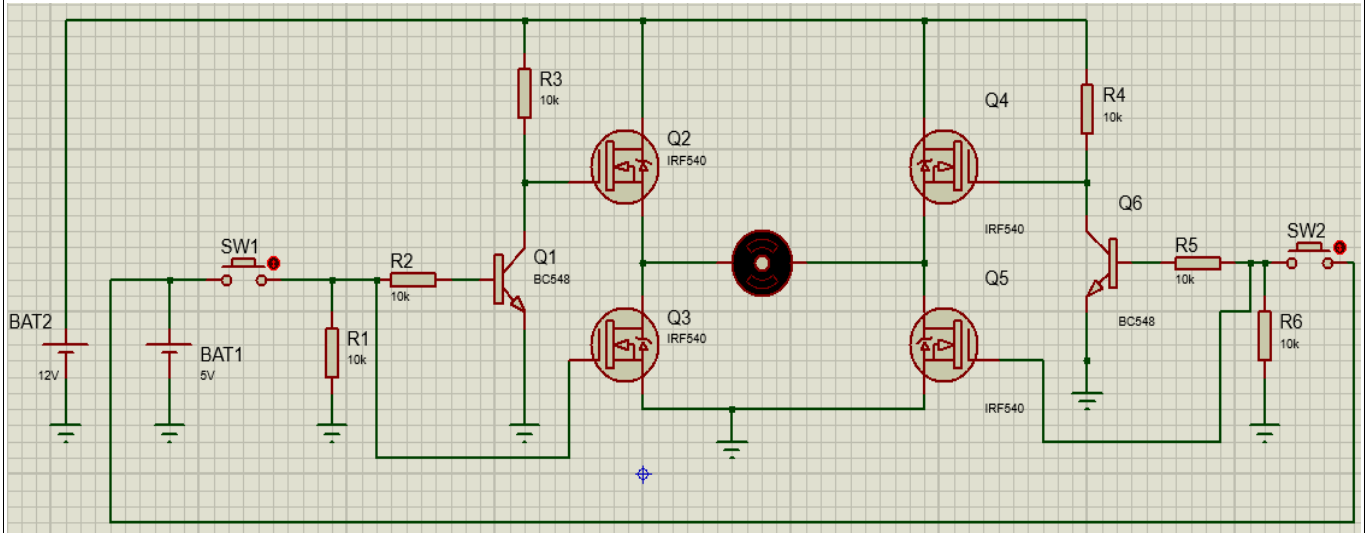
Video recomendado: [MOSFET explicado](#)

Ensayo del MOSFET IRF 540



Medir V_{GS} e I_G . Analizar el resultado.

Circuito 4: Driver puente H para inversión de giro CC



Explicación del funcionamiento:

Tiristores

La palabra tiristor viene del griego y significa “puerta”, en el sentido de una puerta que se abre y deja pasar algo.

Un tiristor es un dispositivo semiconductor que utiliza realimentación interna para activar un mecanismo de conmutación. Los tiristores más importantes son el SCR (Silicon Controlled Rectifier, rectificador controlado de silicio) y el triac.

Al igual que los FET de potencia, el SCR y el triac pueden conmutar corrientes altas. Por esta razón, se pueden utilizar como mecanismo de protección contra sobretensiones, en controles de motores, en sistemas de calefacción e iluminación y como cargas que soportan corrientes grandes.¹⁶

El rectificador controlado de silicio (SCR)

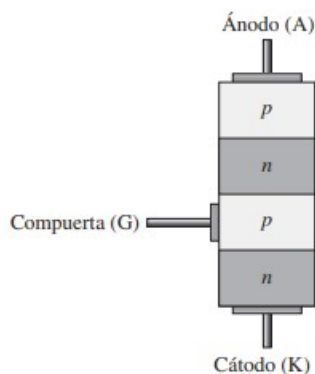
El SCR (silicon controlled rectifier) tiene dos estados posibles de operación.

En el estado apagado, actúa idealmente como circuito abierto entre el ánodo y el cátodo; en realidad, en lugar de una abertura, existe una resistencia muy alta.

En el estado encendido, el SCR actúa idealmente como un cortocircuito del ánodo al cátodo; en realidad, existe una pequeña resistencia en el estado encendido (en directa).

Un SCR (rectificador controlado de silicio, silicon-controlled rectifier) es un dispositivo pnpn de 4 capas con tres terminales: ánodo, cátodo y compuerta.¹⁷

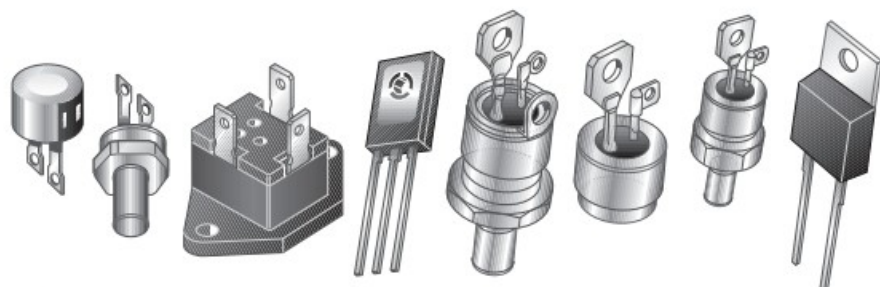
Rectificador controlado de silicio (SCR).



(a) Construcción básica



(b) Símbolo esquemático



(c) Cápsulas típicas

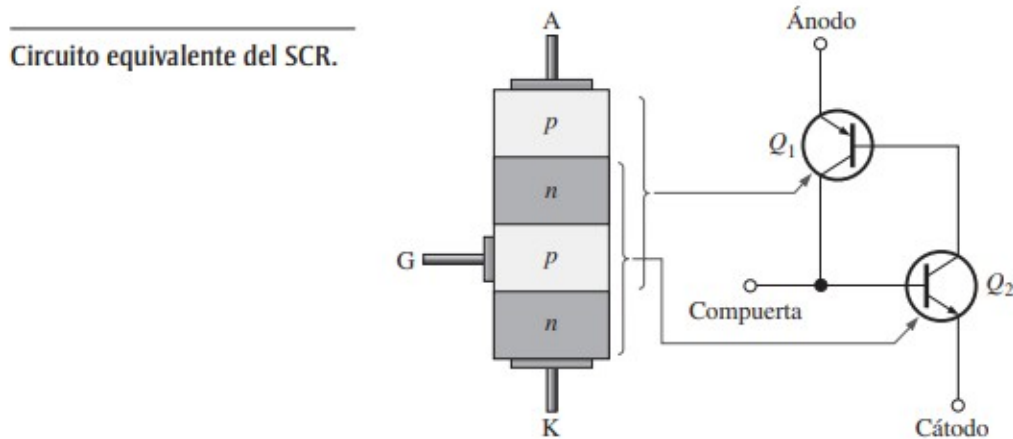
16 MALVINO, A; BATES, D. *Principios de Electrónica. Séptima edición.* Pág. 490.

17 FLOYD, Thomas. *Dispositivos Electrónicos. Octava edición.* Pág 557.

Circuito equivalente del SCR

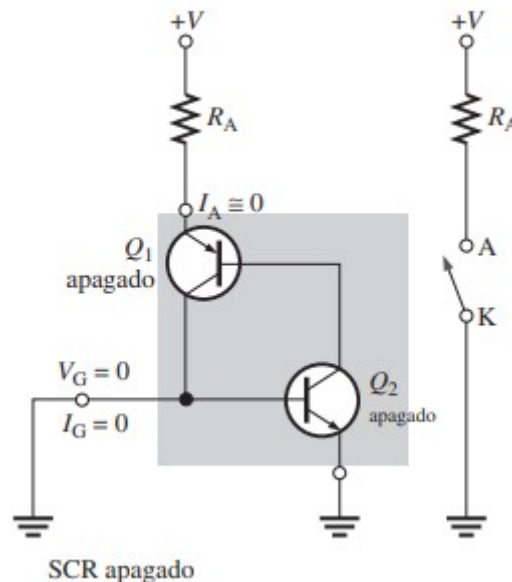
La operación del SCR se entiende mejor si su estructura pnpn interna se ve como una configuración de dos transistores.

Las capas pnp superiores actúan como un transistor, Q_1 ; las capas npn inferiores lo hacen como un transistor, Q_2 . Observemos que las dos capas intermedias están "compartidas".¹⁸



Encendido del SCR

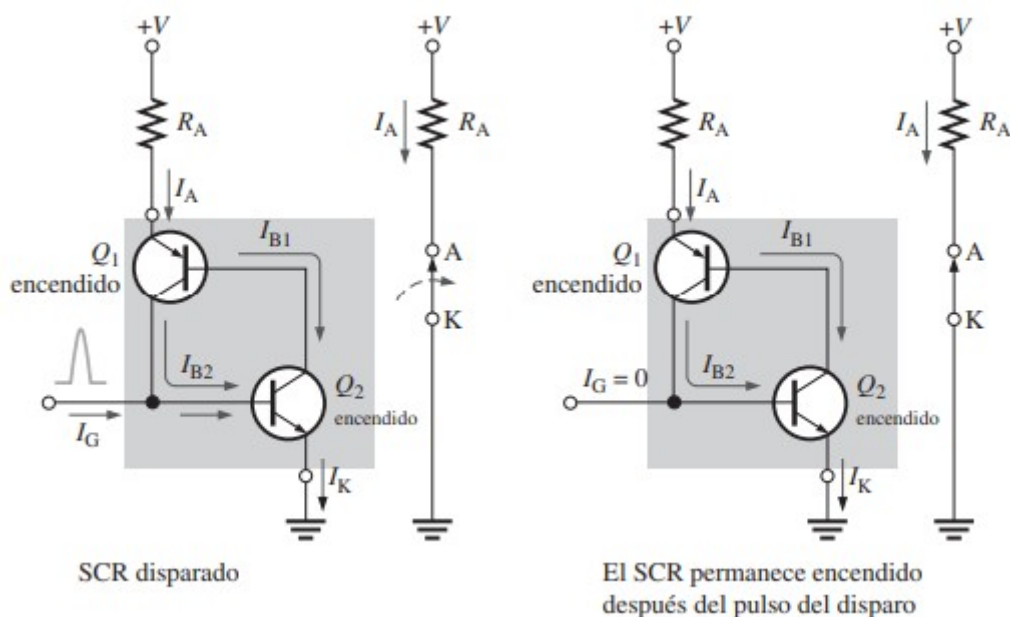
Cuando la corriente en la compuerta, I_G , es cero el dispositivo actúa en el estado de apagado. En este estado, la muy alta resistencia entre el ánodo y el cátodo pueden ser simulados de forma aproximada por un interruptor abierto, como se indica.



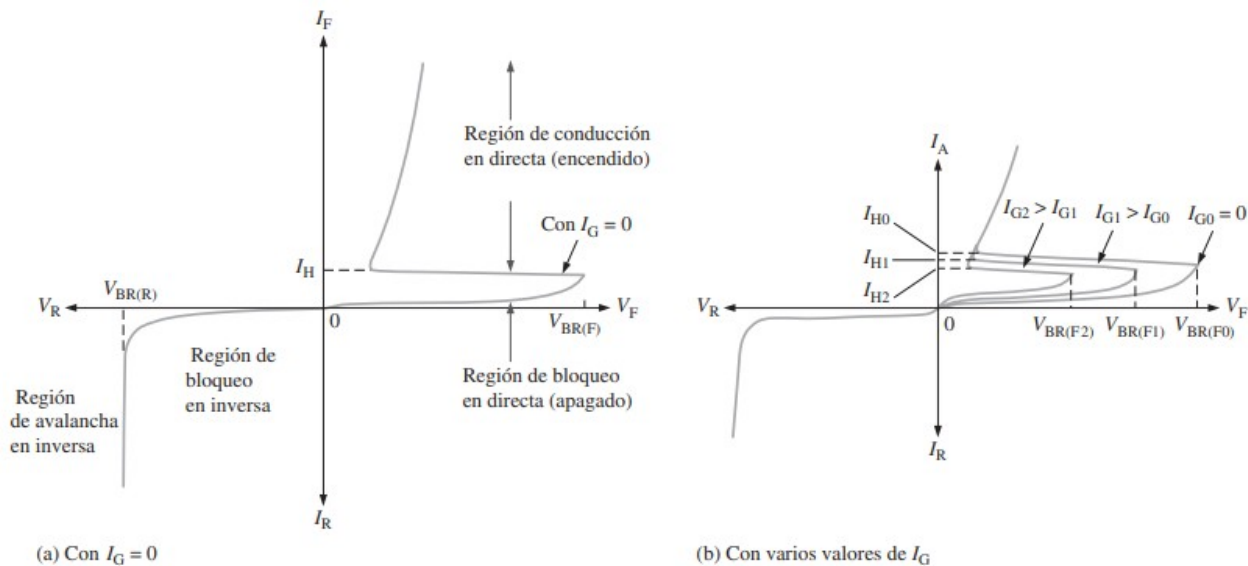
Cuando se aplica un pulso (disparo) positivo de corriente a la compuerta, ambos transistores se encienden (el ánodo debe ser más positivo que el cátodo).

I_{B2} enciende a Q_2 y crea una trayectoria para I_{B1} hacia el colector Q_2 , por lo que Q_1 se enciende. La corriente en el colector de Q_1 proporciona una corriente adicional en la base para Q_2 , de tal forma que Q_2 permanece en conducción una vez que el pulso de disparo se retira de la compuerta.

Por esta acción regenerativa, Q_2 mantiene la conducción en saturación de Q_1 al proporcionar una trayectoria para I_{B1} ; a su vez, Q_1 mantiene la conducción en saturación de Q_2 al proporcionar I_{B2} . De este modo, el dispositivo permanece encendido (interruptor cerrado) una vez que es activado para que encienda.



Un SCR también puede encenderse sin que se active la compuerta incrementando el voltaje entre el ánodo y el cátodo a un valor que exceda el voltaje de ruptura en directa $V_{BR(F)}$.¹⁹



Curvas de característica del SCR.

Aun cuando los voltajes entre el ánodo y el cátodo de más de $V_{BR(F)}$ no dañan el dispositivo si se limita la corriente, esta situación deberá evitarse porque se pierde el control normal del SCR. **Normalmente deberá prenderse sólo con un pulso en la compuerta.**²⁰

19 FLOYD, Thomas. *Dispositivos Electrónicos. Octava edición.* Pág 559.

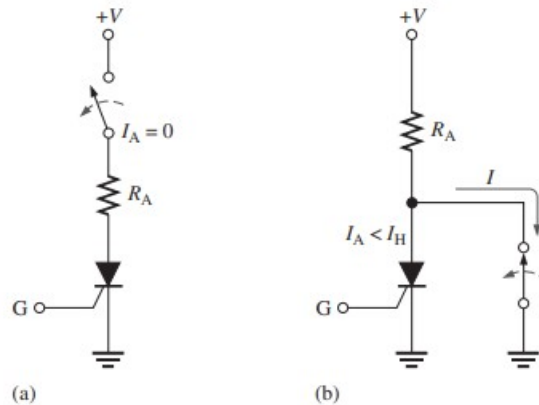
20 FLOYD, Thomas. *Dispositivos Electrónicos. Octava edición.* Pág 560.

Apagado del SCR

Existen dos métodos básicos de apagar un SCR: interrupción de la corriente en el ánodo y conmutación forzada.

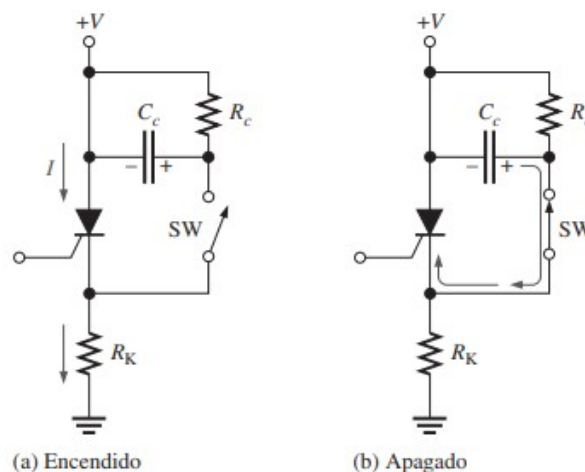
La corriente en el ánodo puede ser interrumpida mediante una configuración de conmutación momentánea en serie o en paralelo. El interruptor en serie en la parte (a) simplemente reduce a cero la corriente en el ánodo y apaga el SCR.

El interruptor en paralelo en la parte (b) aleja una parte de la corriente total del SCR, con lo cual la corriente en el ánodo se reduce a un valor menor que I_H .



El SCR se apaga por la interrupción de la corriente en el ánodo.

El método de conmutación forzada básicamente requiere obligar momentáneamente a la corriente que circula a través del SCR a que lo haga en la dirección opuesta a la conducción en directa, de modo que la corriente neta en directa se reduzca por debajo del valor de retención.



El SCR se dispara por conmutación forzada.

En tanto el SCR está conduciendo, el interruptor está abierto y C_c se carga al voltaje de alimentación por conducto de R_c , como muestra en parte (a). Para apagar el SCR, el interruptor se cierra, lo cual coloca el capacitor a través del SCR y la corriente fluye en la dirección opuesta a la corriente en directa, como muestra la parte (b).²¹

Características y valores nominales de un SCR

Voltaje de ruptura en directa, $V_{BR(F)}$: Éste es el voltaje al cual el SCR entra a la región de conducción en directa. El valor de $V_{BR(F)}$ es máximo cuando $I_G = 0$ y se designa $V_{BR(F)}$. Cuando se incrementa la corriente en la compuerta, $V_{BR(F)}$ se reduce.

Corriente de retención, I_H : Éste es el valor de la corriente en el ánodo por debajo del cual el SCR cambia de la región de conducción en directa a la región de bloqueo en directa.

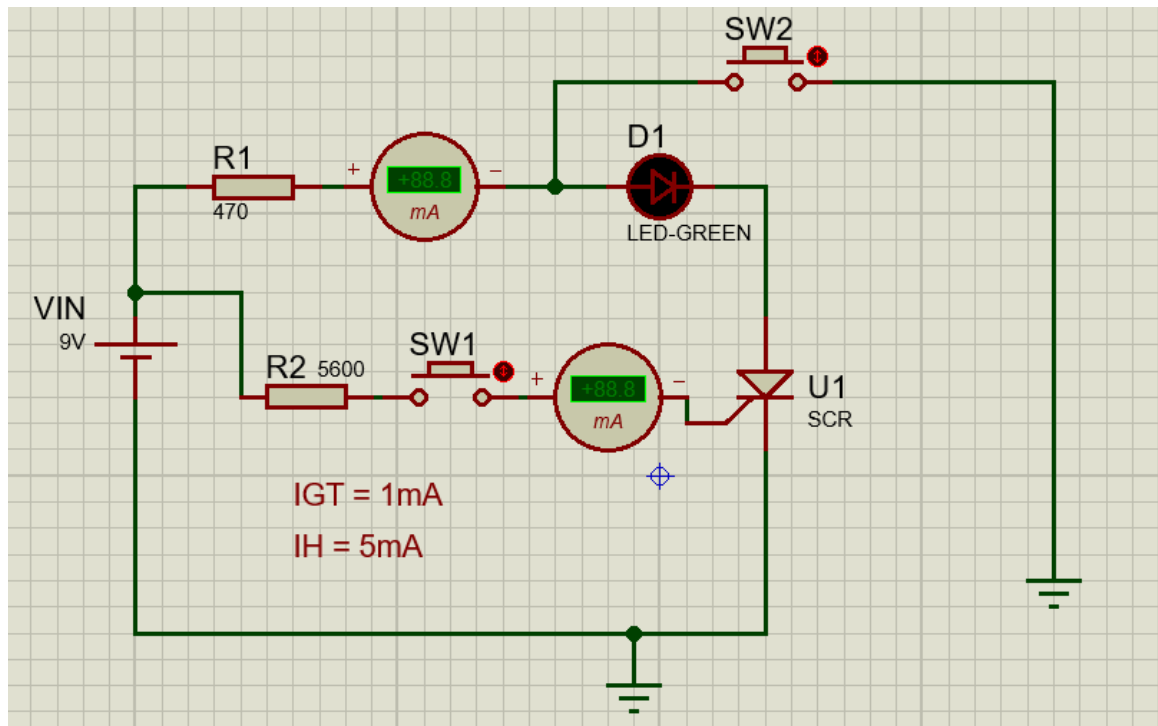
Corriente de disparo en la compuerta, I_{GT} : Éste es el valor de la corriente en la compuerta necesario para cambiar el SCR de la región de bloqueo en directa a la región de conducción en directa.

Corriente en directa promedio, $I_{F(prom)}$: Ésta es la corriente máxima en forma continua en el ánodo (cd) que el dispositivo puede soportar en el estado de conducción.²²

Aplicaciones del SCR

Control de activación y desactivación de la corriente

Examinar el siguiente circuito de SCR que permite cambiar la corriente a una carga mediante el cierre momentáneo del interruptor SW1 y eliminar de la carga mediante el cierre momentáneo del interruptor SW2.



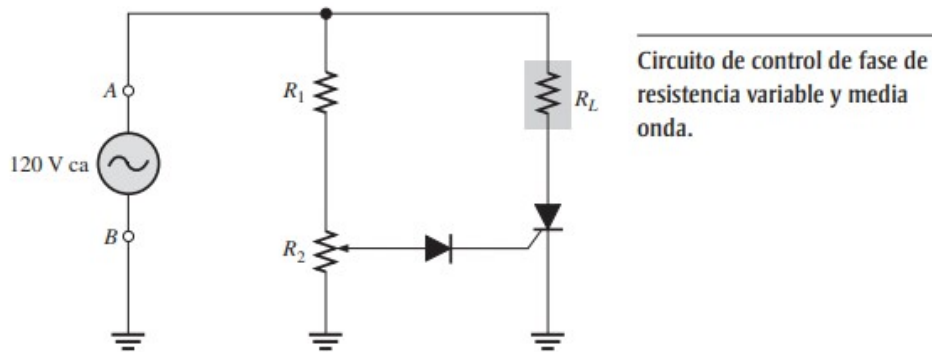
Ejemplo: Determinar la corriente de disparo en la compuerta y la corriente en el ánodo cuando el interruptor SW1 esté cerrado momentáneamente.

Consideremos $V_{AK} = 0,2\text{ V}$, $V_{GK} = 0,7\text{ V}$ e $I_H = 5\text{ mA}$.

Control de potencia de media onda

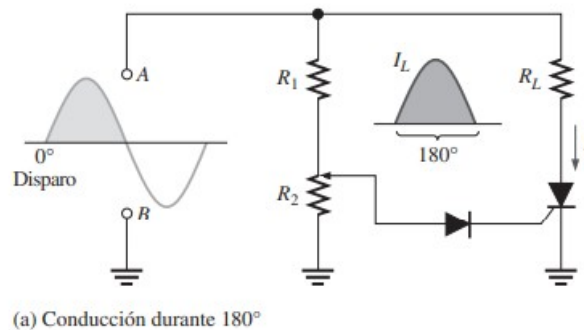
Una aplicación común de los SCR se encuentra en el control de potencia de ca que varían de intensidad luminosa de lámparas, calentadores eléctricos y motores eléctricos.

A continuación se muestra un circuito de control de fase de resistencia variable de media onda; se aplican 120 V de ca entre las terminales A y B; R_L representa la resistencia de la carga (por ejemplo, un elemento calefactor o el filamento de una lámpara). El resistor R_1 limita la corriente y el potenciómetro R_2 ajusta el nivel de disparo para el SCR.

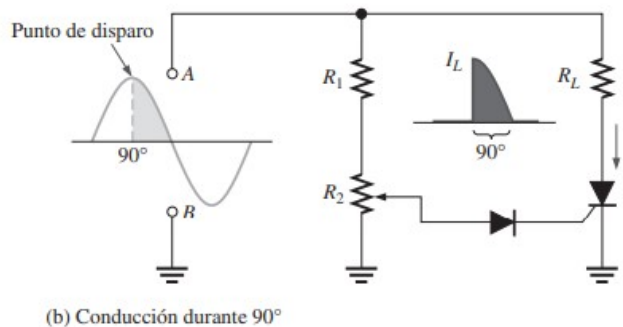


Ajustando R_2 se puede hacer que el SCR se dispare en cualquier punto del semiciclo positivo de la forma de onda de ca entre 0° y 90° .

Cuando el SCR se dispara cerca del inicio de ciclo (aproximadamente 0°), como en la figura (a), conduce durante aproximadamente 180° y se suministra potencia máxima a la carga.

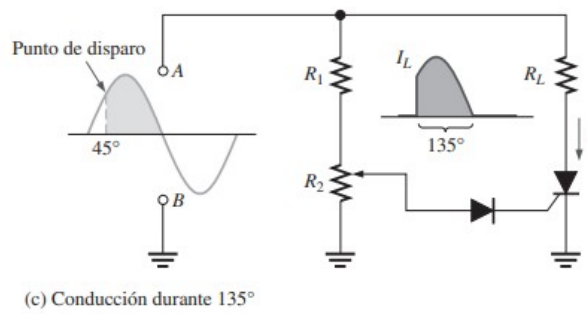


Cuando se dispara cerca del pico del semiciclo positivo (90°), como en la figura (b), el SCR conduce durante aproximadamente 90° y se suministra menos potencia a la carga.



Ajustando R_2 se puede hacer que ocurra el disparo en cualquier parte entre estos dos extremos, y por consiguiente, se puede suministrar una cantidad variable de potencia a la carga.²³

La figura (c) muestra el disparo en el punto correspondiente a 45° como un ejemplo.

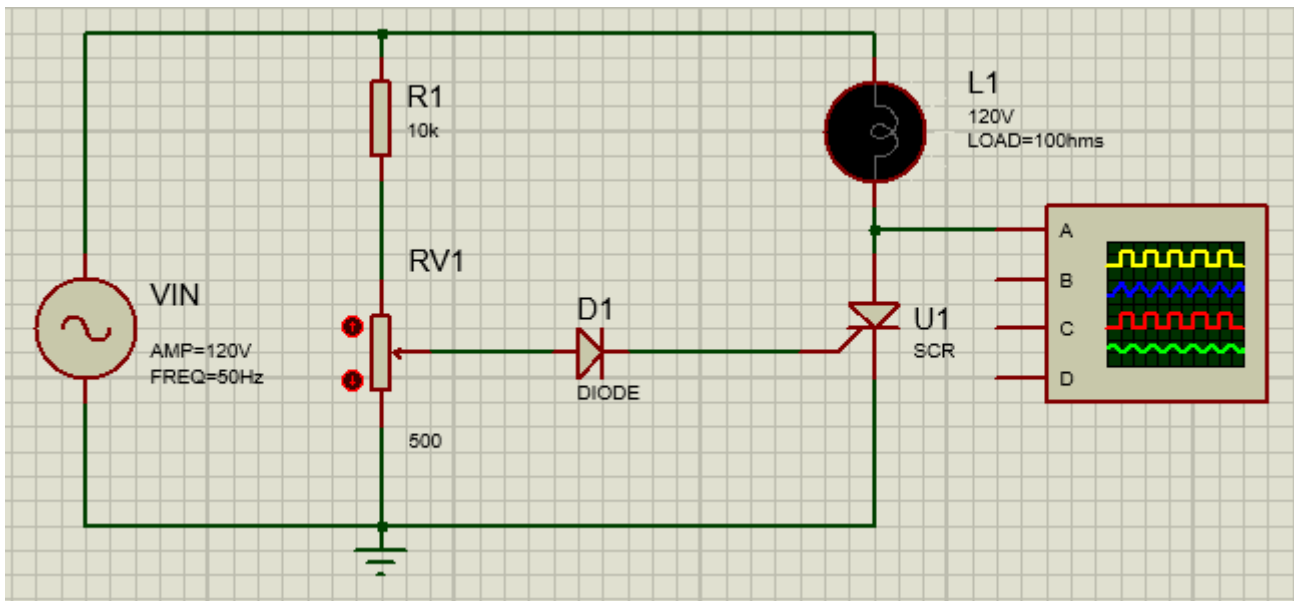


Operación del circuito de control de fase.

Cuando la entrada de ca se vuelve negativa, el SCR se apaga y no conduce hasta que el punto de disparo en el siguiente semiciclo positivo. El diodo impide que el voltaje de ca negativo se aplique a la compuerta del SCR.²⁴

Cuando existe corriente en la carga, el SCR conduce y el voltaje a través de él es idealmente cero. Cuando no hay corriente, es decir el SCR está apagado, el voltaje a través del mismo es igual al voltaje aplicado.

Ejemplo



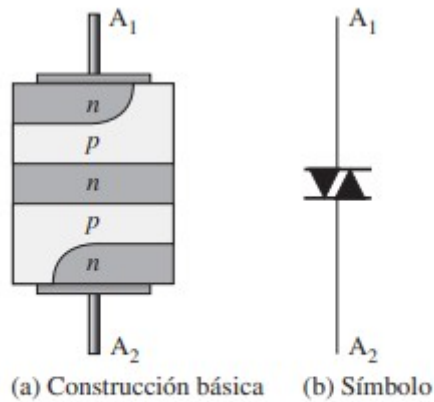
- Ensayar en Proteus y explicar la forma de onda mostrada en el osciloscopio cuando el SCR está en conducción y en apagado.

Videos recomendados:

- [SCR](#)
- [SCR2](#)

El Diac

Un diac es un dispositivo semiconductor de cuatro capas y dos terminales (tiristor) que conduce corriente en una u otra dirección cuando se activa.

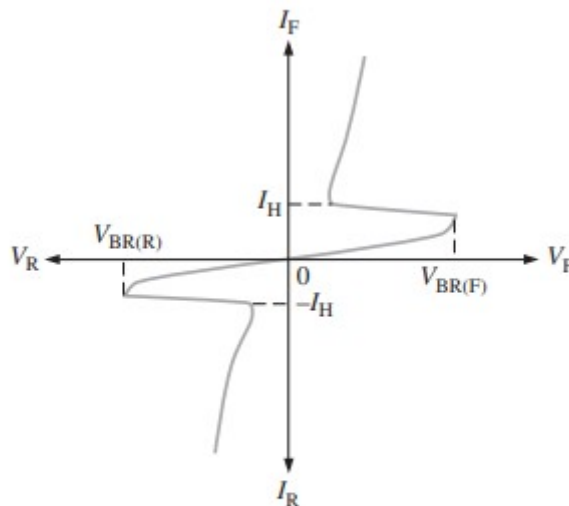


El diac.

Observemos las dos terminales, designadas A_1 y A_2 . Las capas superior e inferior contienen tanto materiales n como p. El lado derecho de la pila se considera como una estructura pnnp, mientras que el lado izquierdo tiene una estructura npnp.

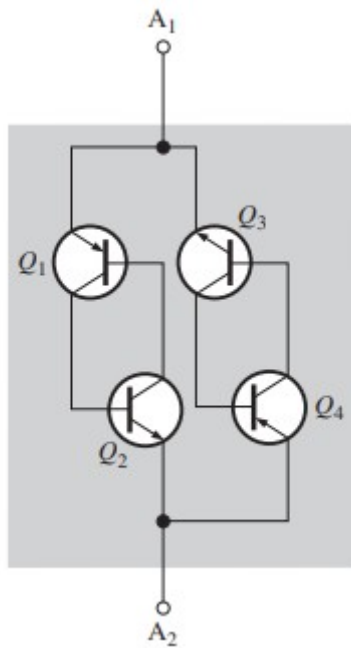
La conducción ocurre en un diac cuando se alcanza el voltaje de ruptura $V_{BR(F)}$ con una u otra polaridad a través de las dos terminales.

Una vez que se presenta la ruptura, la corriente fluye en una dirección según la polaridad del voltaje a través de las terminales. El dispositivo se apaga cuando la corriente se reduce por debajo del valor de retención I_H .²⁵

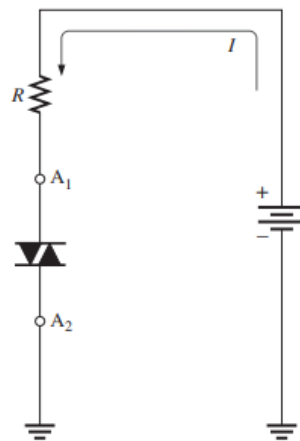


Curva de característica de diac.

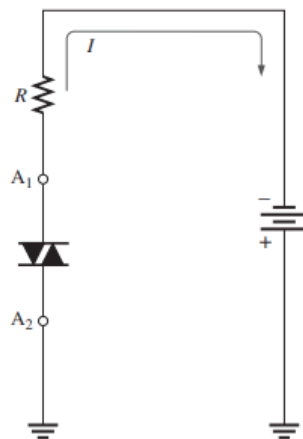
El circuito equivalente de un diac consta de cuatro transistores dispuestos como muestra la figura siguiente:



Cuando el diac se polariza como en la imagen siguiente, Q_1 y Q_2 están polarizados en directa y Q_3 y Q_4 en inversa.



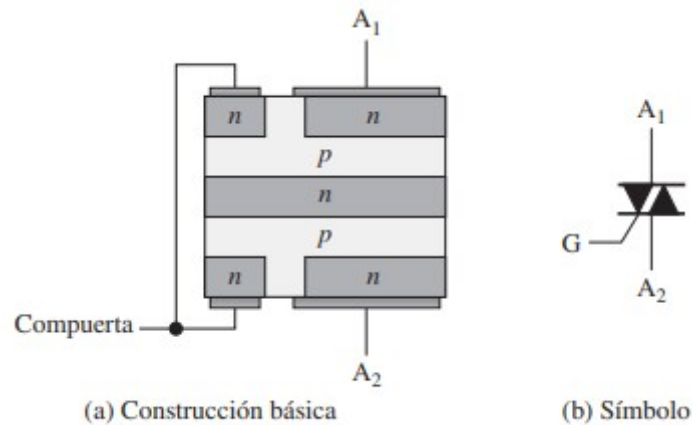
Cuando el diac se polariza como muestra la siguiente imagen, Q_3 y Q_4 están polarizados en directa y Q_1 y Q_2 en inversa.



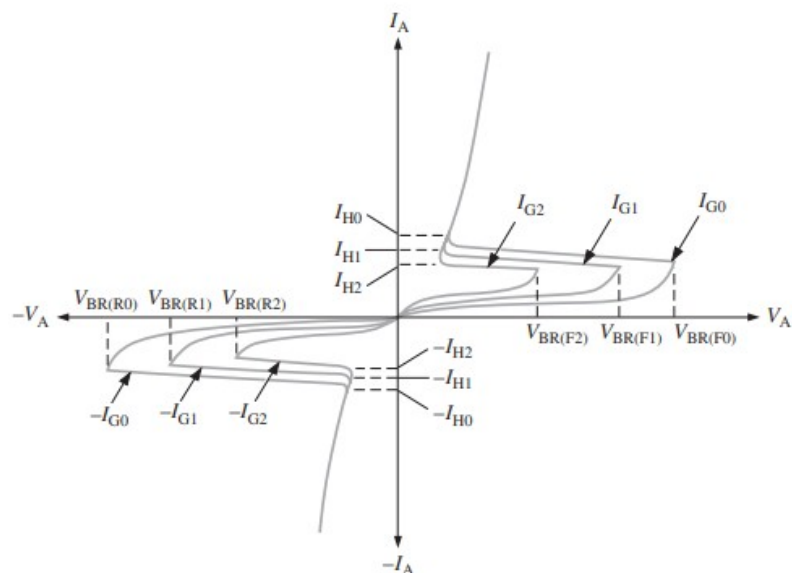
El Triac

Un triac es como un diac con una terminal compuerta. Un triac puede ser disparado por un pulso de corriente en la compuerta y no requiere voltaje de ruptura para iniciar la conducción, como el diac.

Básicamente, se puede pensar en un triac simplemente como dos SCR conectados en paralelo y en direcciones opuestas con una terminal común, la compuerta. A diferencia del SCR, el triac puede conducir corriente en una u otra dirección cuando es activado, según la polaridad del voltaje a través de sus terminales A1 y A2.

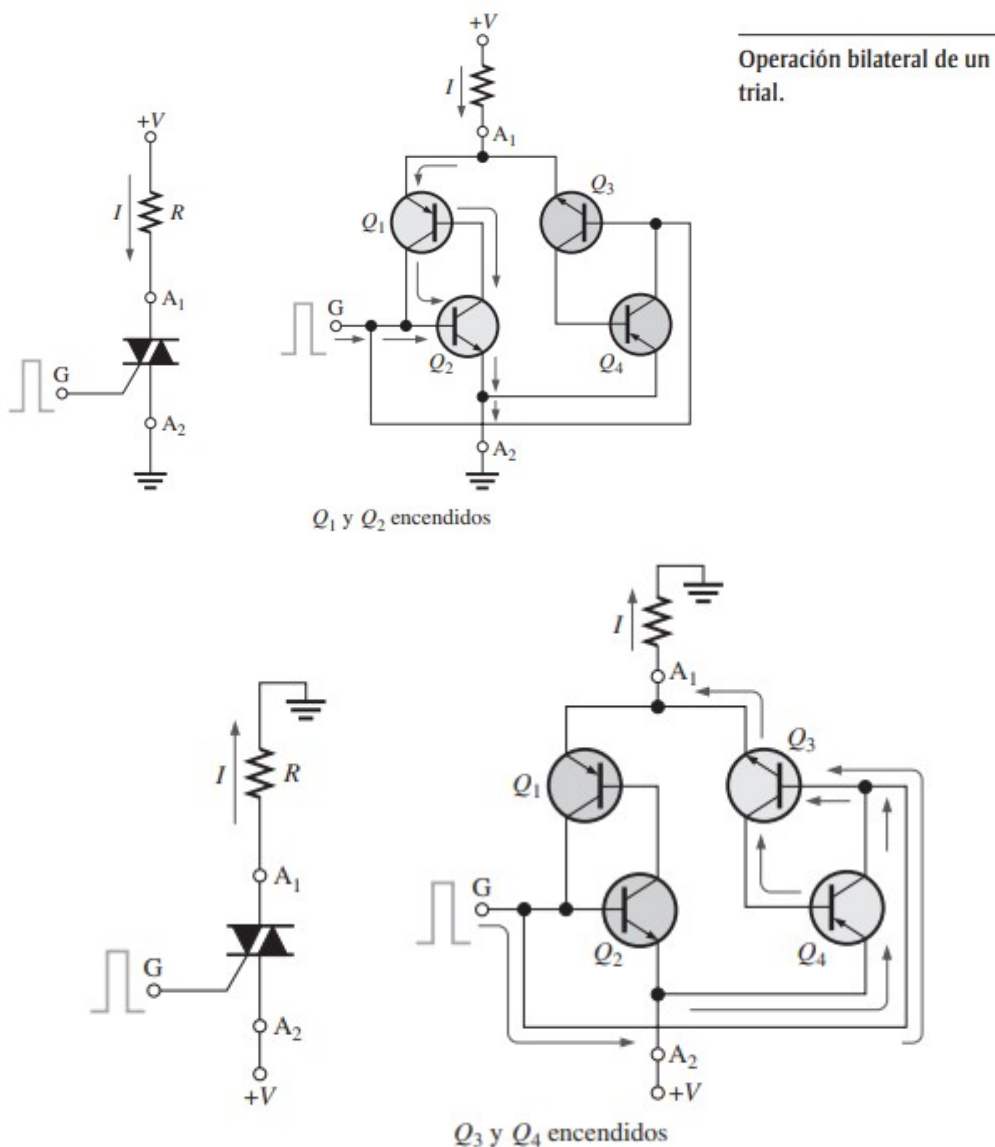


Observemos que el potencial de ruptura se reduce a medida que se incrementa la corriente en la compuerta, exactamente como con el SCR. Como con otros tiristores, el triac deja de conducir cuando la corriente en el ánodo se reduce por debajo del valor especificado de la corriente de retención, I_H . La única forma de apagar el triac es reducir la corriente a un nivel suficientemente bajo.²⁶



Curvas de característica de triac.

Operación del triac con el circuito equivalente

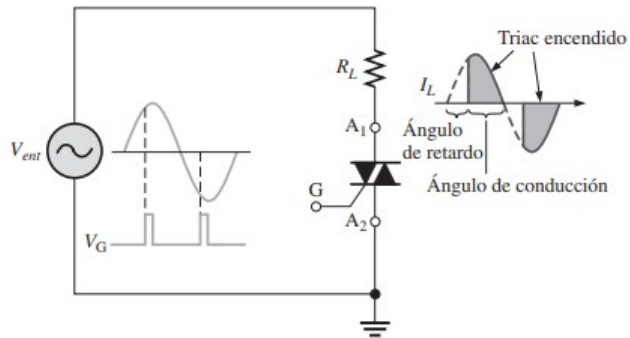


Aplicaciones

Como el SCR, los triacs también se utilizan para controlar la potencia promedio suministrada a una carga por el método de control de fase. El triac puede ser disparado de tal forma que la potencia de ca sea suministrada a la carga durante una parte controlada de cada semiciclo.

Durante cada semiciclo positivo de la ca, el triac se apaga durante un cierto intervalo, llamado ángulo de retardo (medido en grados) y luego se dispara y conduce corriente a través de la carga durante la parte restante del semiciclo positivo, llamado ángulo de conducción. Una acción similar ocurre en el semiciclo negativo excepto porque, desde luego, la corriente es conducida en la dirección opuesta a través de la carga.²⁷

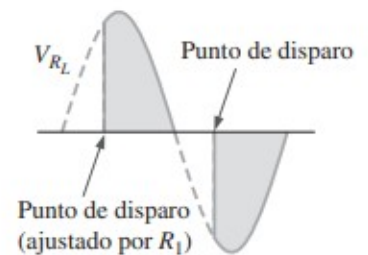
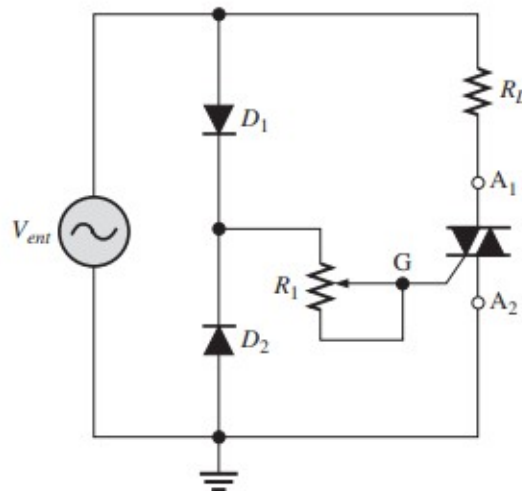
Control de fase de un triac básico.



Ejemplo de control de fase por medio de un triac

Se utilizan diodos para proporcionar pulsos de disparo a la compuerta del triac. El diodo D_1 conduce durante el semiciclo positivo. El valor de R_1 fija el punto en el semiciclo positivo donde el triac se dispara. Observemos que durante esta parte del ciclo, A_1 y G son positivos con respecto a A_2 .

Circuito de control de fase de triac.

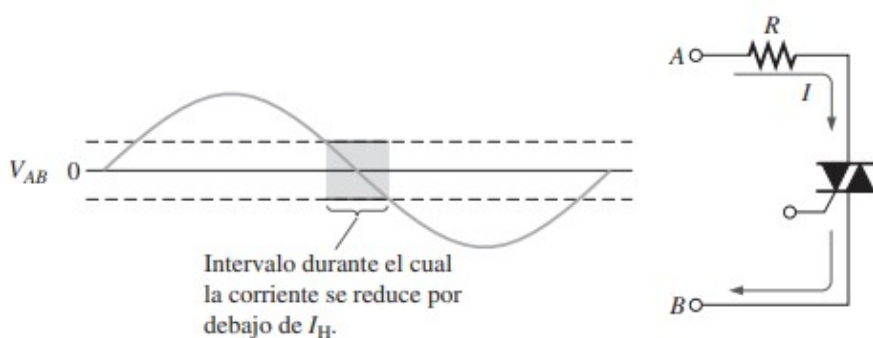


(a)

(b)

El diodo D_2 conduce durante el semiciclo negativo y R_1 fija el punto de disparo. Observe que durante esta parte del ciclo de ca, A_2 y G son positivos con respecto a A_1 .

Existe un intervalo cerca de cada cruce por 0 donde la corriente el triac se reduce por debajo del valor de retención, por lo que el dispositivo se apaga.²⁸



Intervalo de apagado de un triac.

Video recomendado: [Control de fase](#)

Electrónica digital

Conceptos digitales

El término digital se deriva de la forma en que las computadoras realizan las operaciones contando dígitos.

Durante muchos años, las aplicaciones de la electrónica digital se limitaron a los sistemas informáticos. Hoy día, la tecnología digital tiene aplicación en un amplio rango de áreas además de la informática. Aplicaciones como la televisión, los sistemas de comunicaciones, de radar, sistemas de navegación y guiado, sistemas militares, instrumentación médica, control de procesos industriales y electrónica de consumo, usan todos ellos técnicas digitales.

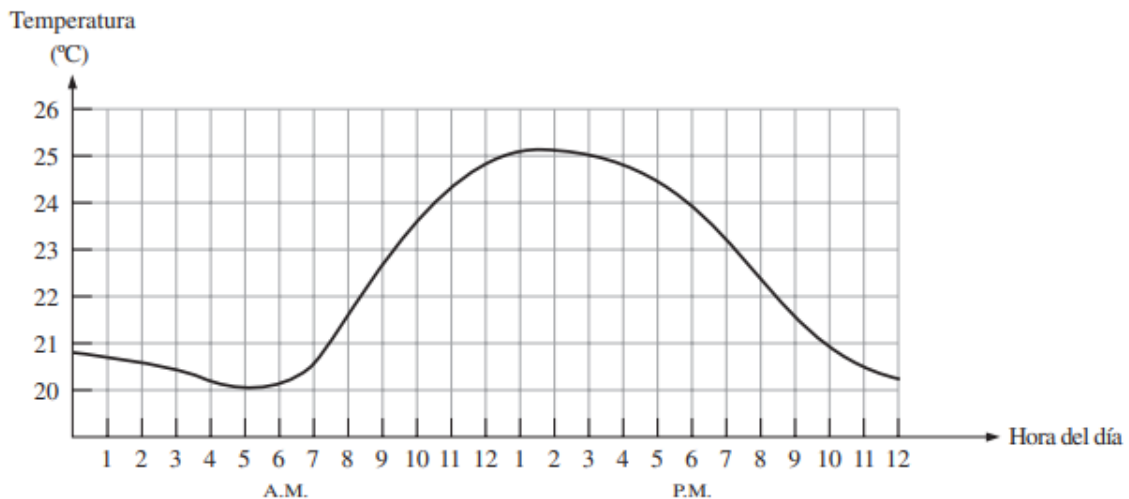
A lo largo de los años, la tecnología digital ha progresado desde los circuitos de válvulas de vacío hasta los transistores discretos y los circuitos integrados, conteniendo algunos de ellos millones de transistores.²⁹

Magnitudes analógicas y digitales

Los circuitos electrónicos pueden dividirse en dos amplias categorías: digitales y analógicos. La electrónica digital utiliza magnitudes con valores discretos y la electrónica analógica emplea magnitudes con valores continuos.

La mayoría de las cosas que se pueden medir cuantitativamente aparecen en la naturaleza en forma analógica. Por ejemplo, la temperatura varía dentro de un rango continuo de valores. A lo largo de un día, la temperatura no varía por ejemplo entre 20°C y 25°C de forma instantánea, sino que alcanza todos los infinitos valores que hay en ese intervalo.

Si dibujamos la gráfica de la temperatura de un día típico de verano, tendríamos una curva continua suave como la mostrada a continuación.³⁰



Gráfica de una magnitud analógica (temperatura en función del tiempo).

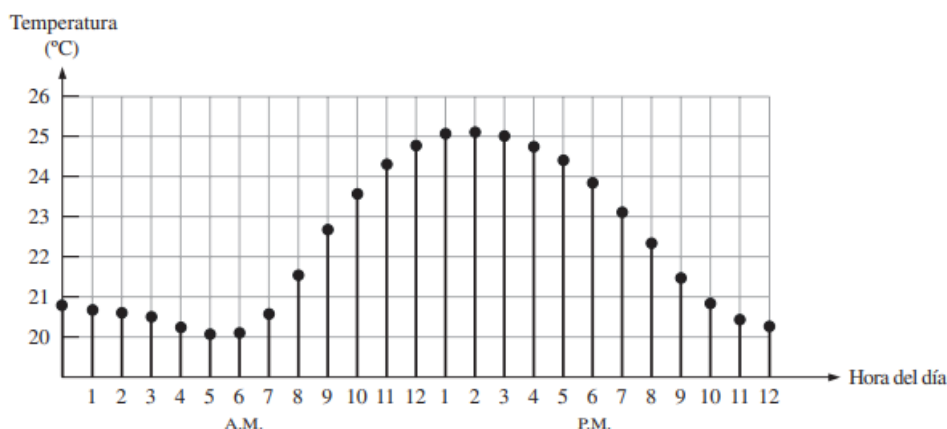
Otros ejemplo de magnitudes analógicas son el tiempo, la presión, la distancia y el sonido.

En lugar de hacer una gráfica de temperatura en un rango continuo, supongamos que simplemente medimos la temperatura cada hora.

²⁹ FLOYD, Thomas. *Fundamentos de sistemas digitales*. Novena edición. Pág 3.

³⁰ FLOYD, Thomas. *Fundamentos de sistemas digitales*. Novena edición. Pág 4.

Lo que tenemos ahora son muestras que representan la temperatura en instantes discretos de tiempo (cada hora) a lo largo de un período de 24 horas, como se indica en la siguiente:



Representación de los valores muestreados (cuantificación) de la magnitud analógica de la Figura 1.1. Cada valor representado por un punto puede digitalizarse, representándolo como un código digital que consta de una serie de 1s y 0s.

De esta forma, hemos convertido de forma efectiva una magnitud analógica a un formato que ahora puede digitalizarse, representando cada valor muestreado mediante un código digital.³¹

Video recomendado:  [Electrónica analógica y digital](#)

La ventaja de las magnitudes digitales

La principal ventaja es que los datos digitales puede ser procesados y transmitidos de forma más fiable y eficiente que los datos analógicos. También, los datos digitales disfrutan de una ventaja importante cuando es necesario su almacenamiento. Por ejemplo, cuando la música se convierte a formato digital puede almacenarse de manera más compacta y reproducirse con mayor precisión y claridad de lo que es posible en formato analógico.

El ruido (fluctuaciones de tensión no deseadas) no afecta a los datos digitales tanto como a las señales analógicas.³²

Dígitos binarios, niveles lógicos y formas de onda digitales

La electrónica digital utiliza sistemas y circuitos en los que sólo existen dos estados posibles. Estos estados se representan mediante dos niveles de tensión diferentes: ALTO (HIGH) y BAJO (LOW).

En los sistemas digitales como las computadoras, las combinaciones de los dos estados, denominadas códigos, se emplean para representar números, símbolos, caracteres alfabéticos y otros tipos de datos. El sistema de numeración de dos estados **se denomina binario y los dos dígitos que emplea son 0 y 1. Un dígito binario se denomina bit.**³³

31 FLOYD, Thomas. *Fundamentos de sistemas digitales. Novena edición.* Pág 4.

32 FLOYD, Thomas. *Fundamentos de sistemas digitales. Novena edición.* Pág 5.

33 FLOYD, Thomas. *Fundamentos de sistemas digitales. Novena edición.* Pág 6.

Dígitos binarios

Cada uno de los dos dígitos del sistema binario, 1 y 0, se denomina bit, que es la contracción de las palabras binary digit (dígito binario).

En los circuitos digitales se emplean dos niveles de tensión diferentes para representar los dos bits.

Por lo general, el 1 se representa mediante el nivel de tensión más elevado, que se denomina nivel ALTO (HIGH) y 0 se representa mediante el nivel de tensión más bajo, que se denomina nivel BAJO (LOW).

Este convenio recibe el nombre de lógica positiva y es el que se emplea comúnmente.

ALTO (HIGH) = 1 y BAJO (LOW) = 0

Un sistema en el que un 1 se representa por un nivel BAJO y un 0 mediante un nivel ALTO se dice que emplea lógica negativa.

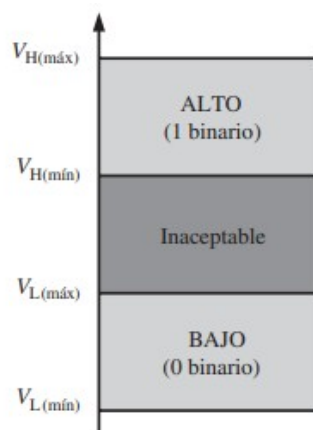
Los grupos de bits (combinaciones de 1s y 0s), llamados códigos, se utilizan para representar números, letras, símbolos, instrucciones y cualquier otra cosa que se requiera en una determinada aplicación.³⁴

Niveles lógicos

Las tensiones empleadas para representar un 1 y un 0 se denominan niveles lógicos.

En el caso ideal, un nivel de tensión representa un nivel ALTO y otro nivel de tensión representa un nivel BAJO. Sin embargo, en un circuito digital real, un nivel ALTO puede ser cualquier tensión entre un valor mínimo y un valor máximo especificados. Del mismo modo, un nivel BAJO puede ser cualquier tensión comprendida entre un mínimo y máximo especificados.

No puede existir solapamiento entre el rango aceptado de niveles ALTO y el rango aceptado de niveles BAJO.



Rango de niveles lógicos de tensión para un circuito digital.

Una tensión en el rango no permitido puede ser interpretada por un determinado circuito tanto como un nivel ALTO cuanto como un nivel BAJO, por lo que no puede tomarse como un valor aceptable.³⁵

³⁴ FLOYD, Thomas. *Fundamentos de sistemas digitales. Novena edición.* Pág 7.

³⁵ FLOYD, Thomas. *Fundamentos de sistemas digitales. Novena edición.* Pág 7.

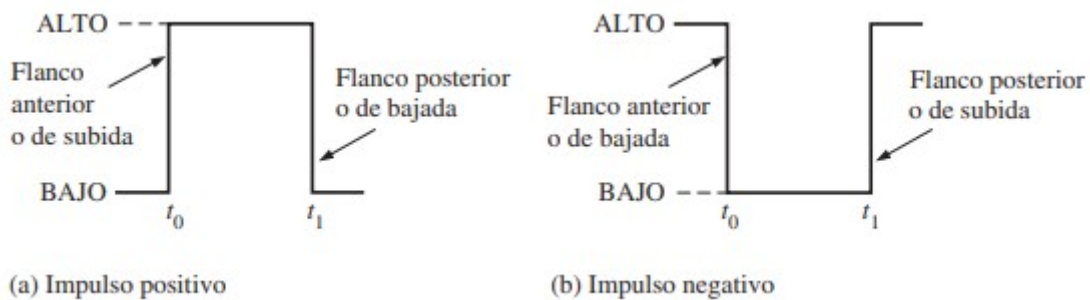
Formas de onda digitales

Las formas de onda digitales consisten en niveles de tensión que varían entre los estados o niveles ALTO y BAJO.

El impulso

Como se muestra en la siguiente, un impulso tiene dos flancos: un flanco anterior que se produce en el instante t_0 y un flanco posterior que se produce en el instante posterior t_1 .

Para un impulso positivo, el flanco anterior es un flanco de subida y el flanco posterior es de bajada.

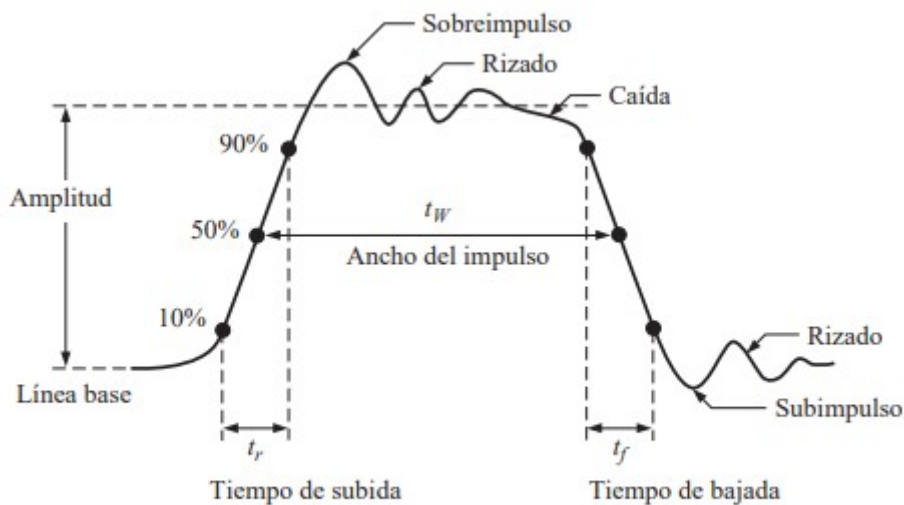


Los impulsos mostrados en la imagen anterior son ideales porque se supone que los flancos de subida y de bajada ocurren en un tiempo cero (instantáneamente).

En la práctica, estas transiciones no suceden de forma instantánea, aunque para la mayoría de las situaciones digitales podemos suponer que son impulsos ideales.³⁶

Impulso real (no ideal)

En la práctica, todos los impulsos presentan alguna o todas de las características siguientes:



Características de los impulsos no ideales.

En ocasiones, se producen picos de tensión y rizado debidos a los efectos capacitivos e inductivos parásitos. La caída puede ser provocada por las capacidades parásitas y la resistencia del circuito que forman un circuito RC con una constante de tiempo baja.

El tiempo requerido para que un impulso pase desde su nivel BAJO hasta su nivel ALTO se denomina tiempo de subida (t_r), y el tiempo requerido para la transición del nivel ALTO al nivel BAJO se denomina tiempo de bajada (t_f).

En la práctica, el tiempo de subida se mide como el tiempo que tarda en pasar del 10% (altura respecto de la línea) al 90% de la amplitud del impulso y el tiempo de bajada se mide como el tiempo que tarda en pasar del 90% al 10% de la amplitud del impulso.³⁷

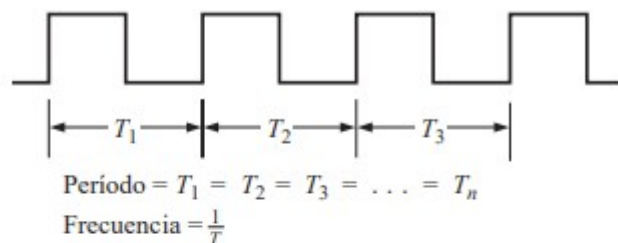
El ancho del impulso (t_w) es una medida de la duración del impulso y, a menudo, se define como el intervalo de tiempo que transcurre entre los puntos en que la amplitud es del 50% en los flancos de subida y de bajada.³⁸

Características de la forma de onda

La mayoría de las formas de onda que se pueden encontrar en los sistemas digitales están formadas por series de impulsos, algunas veces denominados también trenes de impulsos, y pueden clasificarse en periódicas y no periódicas.

Un tren de impulsos periódico es aquel que se repite a intervalos de tiempo fijos; este intervalo de **tiempo fijo se denomina período (T)**. **La frecuencia (f) es la velocidad a la que se repite y se mide en hercios (Hz)**.

Por supuesto, un tren de impulsos no periódico no se repite a intervalos de tiempo fijos y puede estar formado por impulsos de distintos anchos y/o impulsos que tienen intervalos distintos de tiempo entre los pulsos.³⁹



(a) Periódico (onda cuadrada)



(b) No periódico

Ejemplos de formas de onda digitales.

La frecuencia (f) de un tren de pulsos (digital) es el inverso del período. La relación entre la frecuencia y el período se expresa como sigue:

$$f = \frac{1}{T} \qquad T = \frac{1}{f}$$

37 FLOYD, Thomas. *Fundamentos de sistemas digitales*. Novena edición. Pág 8.

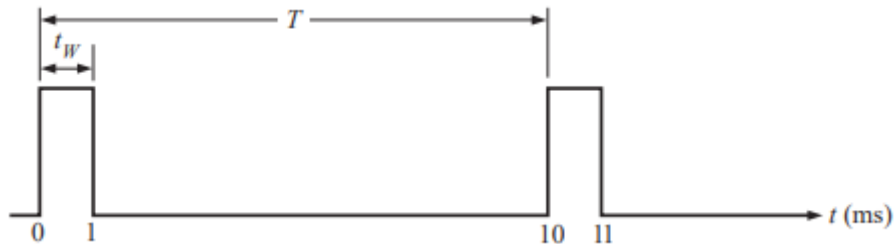
38 FLOYD, Thomas. *Fundamentos de sistemas digitales*. Novena edición. Pág 9.

39 FLOYD, Thomas. *Fundamentos de sistemas digitales*. Novena edición. Pág 9.

Una característica importante de una señal digital periódica es su ciclo de trabajo, que es el cociente entre el ancho del impulso (t_w) y el período (T) y puede expresarse como un porcentaje.

$$\text{Ciclo de trabajo} = \left(\frac{t_w}{T} \right) 100\%$$

Práctica 1. Determinar período (T), frecuencia (f) y Ciclo de trabajo de la siguiente señal:



El período se mide desde el flanco de uno de los impulsos hasta el correspondiente flanco del siguiente impulso. En este caso, T se mide desde el flanco de subida hasta el siguiente flanco de subida, como se indica en la figura, luego T es igual a 10ms.

$$f = \frac{1}{T} = \frac{1}{10\text{ms}} = \mathbf{100\text{ Hz}}$$

$$\text{Ciclo de trabajo} = \left(\frac{t_w}{T} \right) 100\% = \left(\frac{1\text{ms}}{10\text{ms}} \right) 100\% = \mathbf{10\%}$$

Práctica 2

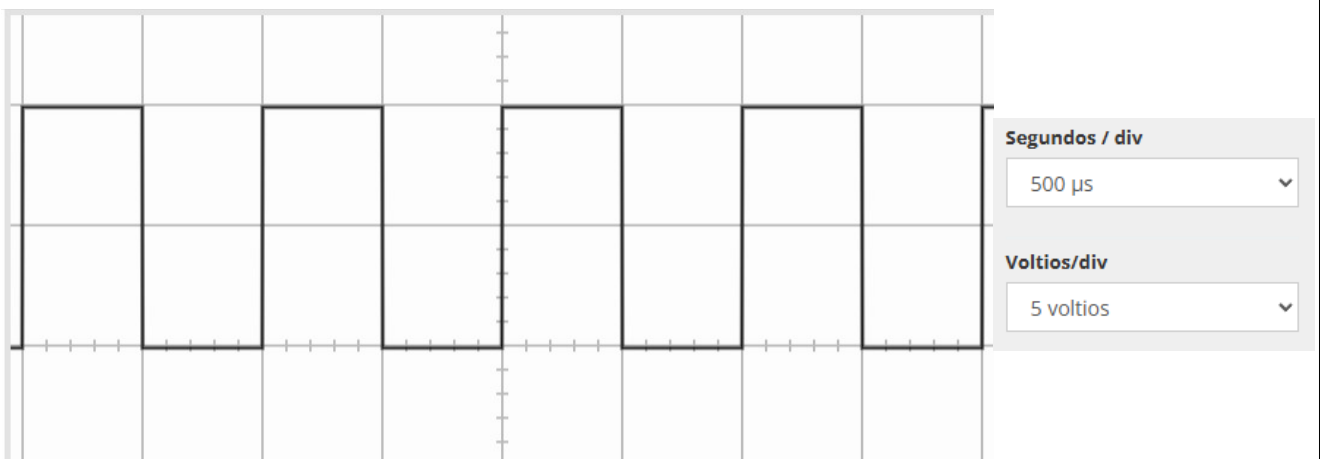
Una señal digital periódica tiene un ancho de impulso de $25\mu\text{s}$ y un período de $150\mu\text{s}$. Determinar la frecuencia y el ciclo de trabajo.

Práctica 3

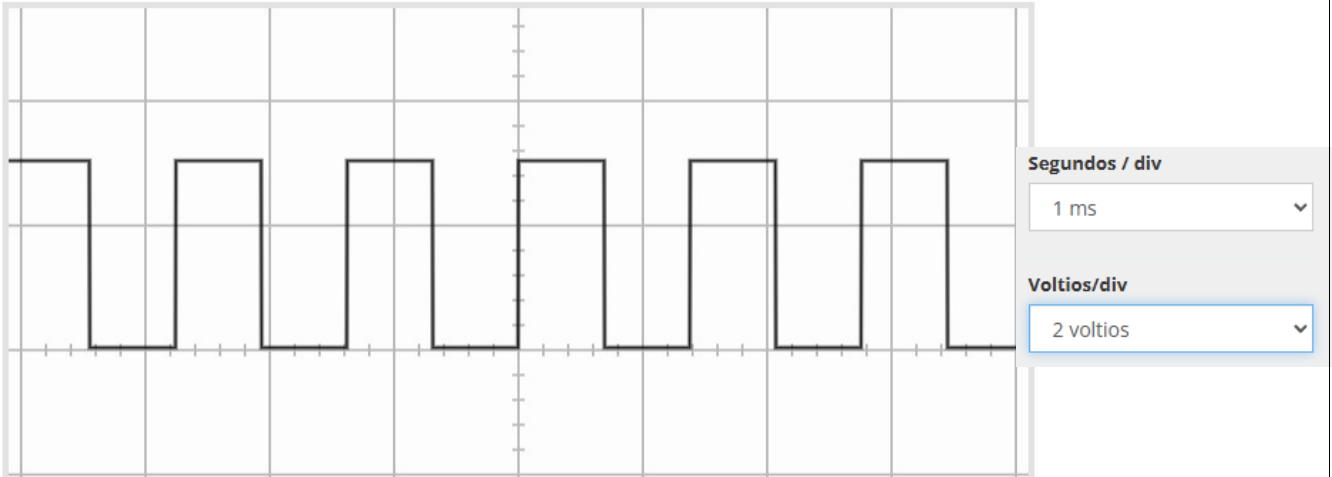
Analizar las siguientes señales digitales y determinar:

a) Período (T) b) Frecuencia (f) c) Ciclo de trabajo d) Nivel de tensión "1" lógico y "0" lógico.

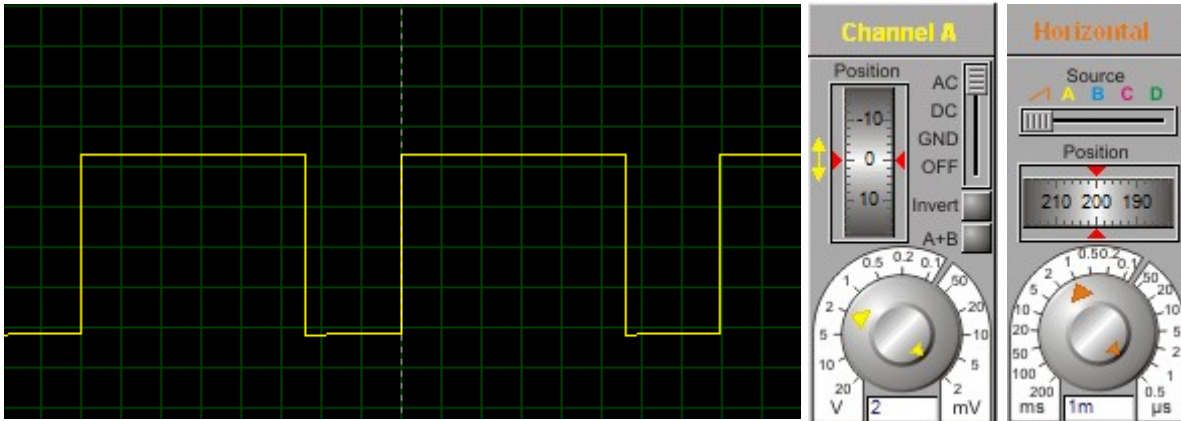
1)



2)



3)



Práctica 4: Pasar de decimal a binario y viceversa según el caso

- a) 17 =
- b) 01011 =
- c) 8 =
- d) 0001 1101 =
- e) 104 =
- f) 11001 =
- g) 1010 0100

Sistema hexadecimal

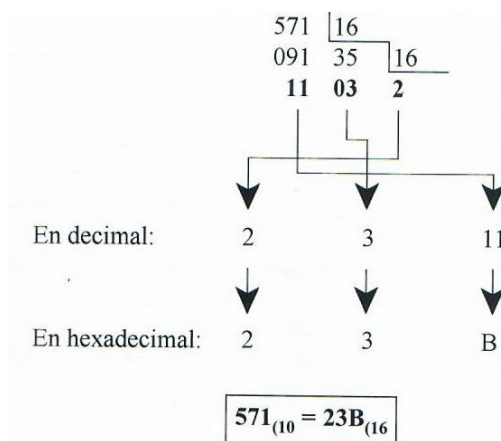
Un número binario se puede representar por grupos de cuatro dígitos que reciben el nombre de *cuartetos*.

Un cuarteto tiene 16 combinaciones posibles de *ceros* y *unos*. Para simplificar la representación se recurre a un sistema de numeración con base 16, de forma que un cuarteto se pueda representar por un solo dígito.

Este sistema, denominado sistema hexadecimal, utiliza los signos: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E y F.⁴¹

Para transformar un número decimal a hexadecimal, se divide aquél entre 16 tantas veces como sea necesario hasta conseguir un cociente entero que no se pueda dividir más; se toman el último cociente y todos los restos, se traducen a hexadecimal y se colocan en orden inverso.⁴²

Ejemplo:



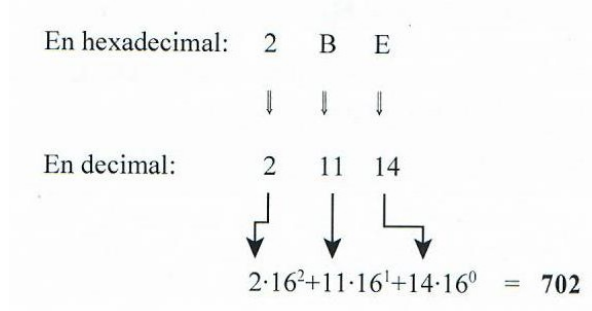
Para convertir un número hexadecimal en decimal, se aplica la expresión polinómica:

$$a_n \cdot 16^n + \dots + a_2 \cdot 16^2 + a_1 \cdot 16^1 + a_0 \cdot 16^0$$

41 BLANCO, Fernando y OLVERA, Santiago. *Electrónica digital y microcontrolable*. Pág. 2

42 BLANCO, Fernando y OLVERA, Santiago. *Electrónica digital y microcontrolable*. Pág. 3

Ejemplo:



Práctica 5: Pasar de decimal a hexadecimal y viceversa según el caso

- a) 101
- b) 3DA
- c) 57
- d) FF1
- e) 743
- f) F5CF

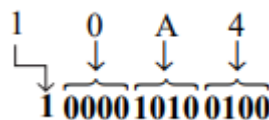
Conversión hexadecimal-binario

Para convertir un número hexadecimal en un número binario se realiza reemplazando cada símbolo hexadecimal por el grupo de cuatro bits adecuado.

Está claro que es mucho más fácil tratar con un número hexadecimal que con el número binario equivalente. Puesto que la conversión también es fácil, el sistema hexadecimal se usa ampliamente para representar los números binarios en programación, salidas de impresora y displays.⁴³

Ejemplo: determinar el número binario correspondiente al siguiente número hexadecimal:

10A4



Práctica 6: convertir de hexadecimal a binario

- a) CF8E
- b) 9742
- c) 6BD3
- d) A14B

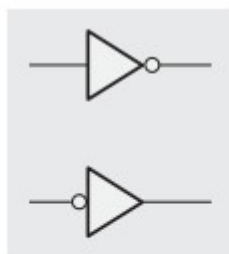
Práctica 7: completar la siguiente tabla:

Decimal	Hexadecimal	BCD	Binario
1			
2			
3			
4			
5			
6			
7			
8			
9			
10			
11			
12			
13			
14			
15			
16			
17			
18			
19			
20			
21			
22			
23			
24			
25			
26			
27			
28			
29			
30			

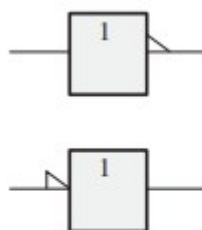
Puertas lógicas

El inversor

El inversor (circuito NOT) realiza la operación denominada inversión o complementación. El inversor cambia un nivel lógico al nivel opuesto. En términos de bits, cambia un 1 por un 0, y un 0 por 1.⁴⁴



(a) Símbolos distintivos con indicadores de negación.



(b) Símbolos rectangulares con indicadores de polaridad.

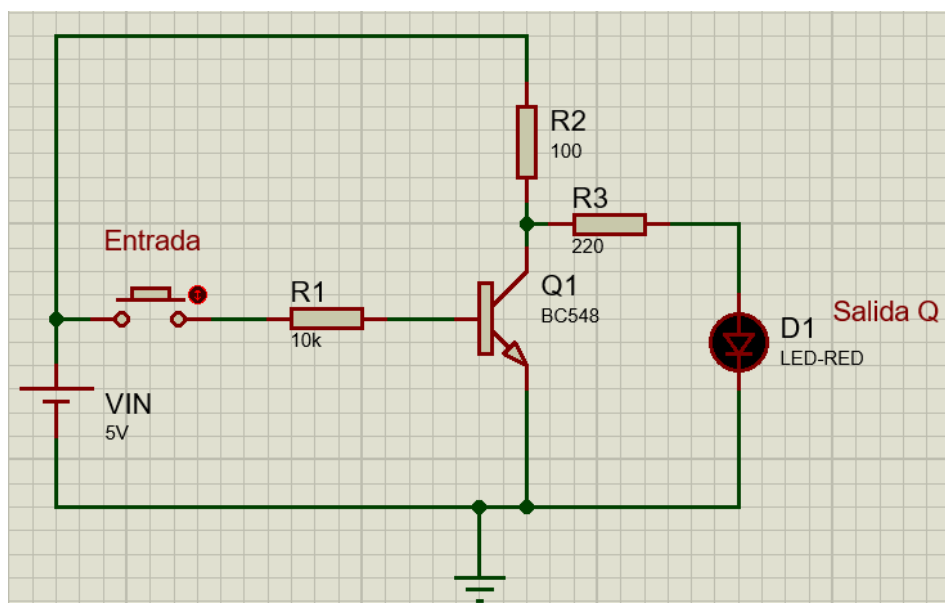
Símbolos lógicos estándar de la puerta inversora (Estándar ANSI/IEEE 91–1984).

Tabla de verdad del inversor

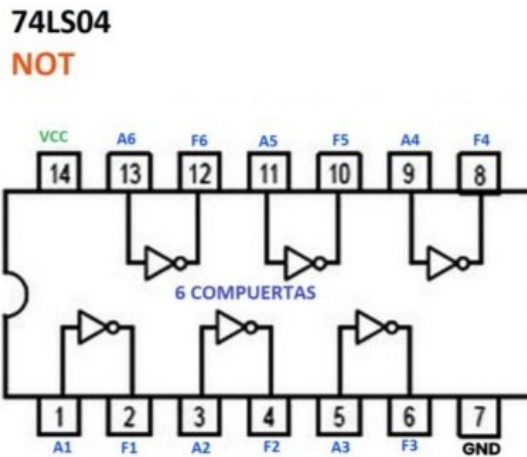
Entrada	Salida
BAJO (0)	ALTO (1)
ALTO (1)	BAJO (0)

Tabla de verdad del inversor.

Circuito inversor con BJT



Práctica 8: Comprobar el funcionamiento de las compuertas NOT del siguiente CI



$V_{CC} = 5V$

Conectar a cada compuerta un pulsador NA (con $R_{PULLDOWN}$) en la entrada y un LED y su respectiva resistencia limitadora a la salida para comprobar el funcionamiento de cada compuerta.

Completar la tabla de verdad

A1	F1	A2	F2	A3	F3	A4	F4	A5	F5	A6	F6
0		0		0		0		0		0	
1		1		1		1		1		1	

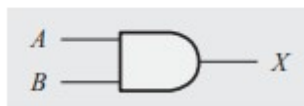
Práctica 9: Armar una compuerta NOT utilizando un IRF630

Puerta AND

La puerta AND es una de las puertas básicas con la que se construyen todas las funciones lógicas. Una puerta AND puede tener dos o más entradas y realiza la operación que se conoce como multiplicación lógica.

El término puerta se usa para describir un circuito que realiza una operación lógica básica. En cada uno de los símbolos, las entradas se sitúan a la izquierda y la salida a la derecha.

Se muestran puertas con dos entradas, pero una puerta AND puede tener cualquier número de entradas superior a éste.⁴⁵



(a) Símbolo distintivo



(b) Símbolo rectangular, identificado mediante el carácter AND (&)

Símbolos lógicos estándar de la puerta AND con dos entradas (estándar ANSI/IEEE 91–1984).

⁴⁵ FLOYD, Thomas. *Fundamentos de sistemas digitales*. Novena edición. Pág 127.

Funcionamiento de la puerta AND

La puerta AND genera una salida a nivel ALTO sólo cuando todas las entradas están a nivel ALTO.

Cuando cualquiera de la entradas está a nivel BAJO, la salida se pone a nivel BAJO.

Por tanto, el propósito básico de una puerta AND es determinar cuándo ciertas condiciones de entrada son simultáneamente verdaderas, como indican todas sus entradas estando a nivel ALTO, y producir una salida a nivel ALTO, para indicar que esas condiciones son verdaderas.⁴⁶



Todos los posibles niveles lógicos para una puerta AND de dos entradas.

Tabla de verdad de la compuerta AND

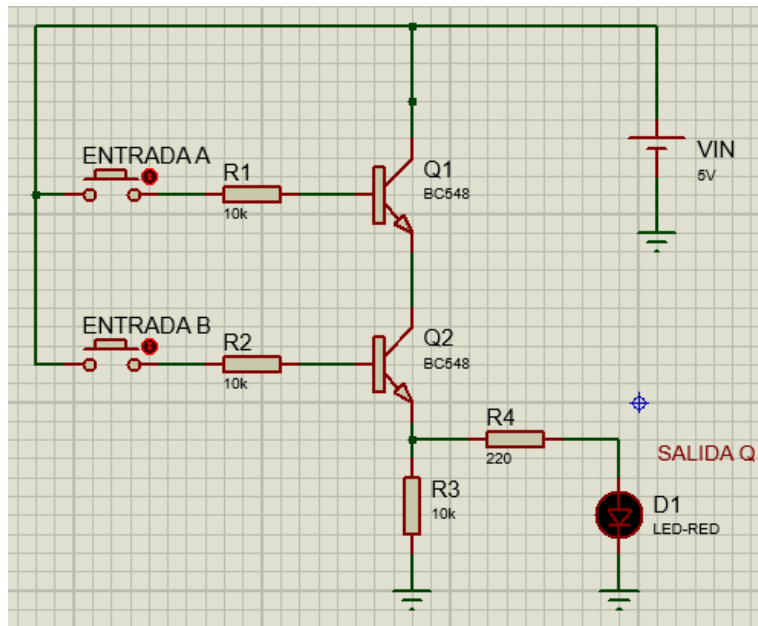
Entradas		Salida
<i>A</i>	<i>B</i>	<i>X</i>
0	0	0
0	1	0
1	0	0
1	1	1

1 = ALTO, 0 = BAJO

Tabla de verdad de una puerta AND de dos entradas.

Para dos variables de entrada: $N = 2^2 = 4$ combinaciones
Para tres variables de entrada: $N = 2^3 = 8$ combinaciones
Para cuatro variables de entrada: $N = 2^4 = 16$ combinaciones

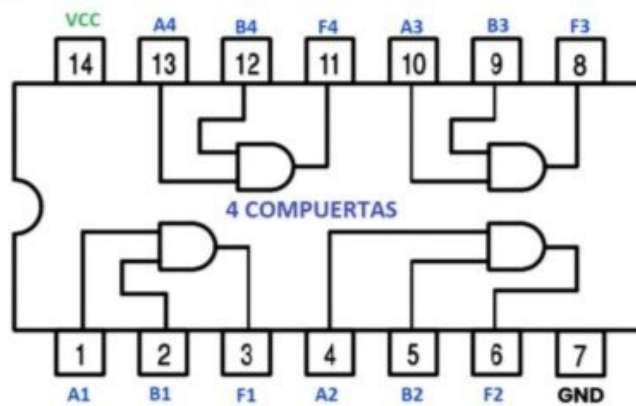
Circuito de compuerta AND con BJT



Práctica 10: Comprobar el funcionamiento de las compuertas AND del siguiente CI

74LS08

AND



$V_{CC} = 5V$

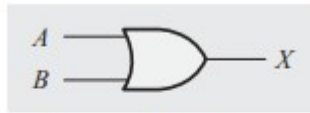
Conectar pulsadores a cada entrada (con $R_{PULLDOWN}$) y un LED con su respectiva resistencia limitadora a cada salida para comprobar el funcionamiento de cada compuerta.

Completar la tabla de verdad

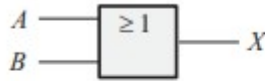
A1	B1	F1	A2	B2	F2	A3	B3	F3	A4	B4	F4
0	0		0	0		0	0		0	0	
0	1		0	1		0	1		0	1	
1	0		1	0		1	0		1	0	
1	1		1	1		1	1		1	1	

La puerta OR

La puerta OR es otra de las puertas básicas con las que se construyen todas las funciones lógicas. Una puerta OR puede tener dos o más entradas y realiza la operación que se conoce como suma lógica.⁴⁷



(a) Símbolo distintivo.



(b) Símbolo rectangular con el identificador OR (≥ 1).

Símbolos lógicos estándar de la puerta OR con dos entradas (Estándar ANSI/IEEE 91-1984).

Funcionamiento de la puerta OR

Una puerta OR genera un nivel ALTO a la salida cuando cualquiera de sus entradas está a nivel ALTO. La salida se pone a nivel BAJO sólo cuando todas las entradas están a nivel BAJO.

Por tanto, el propósito de una puerta OR es determinar cuándo una o más de sus entradas están a nivel ALTO y generar una salida a nivel ALTO que indique esta condición.⁴⁸



Todos los posibles niveles lógicos para una puerta OR de 2 entradas.

Tabla de verdad de una puerta OR

Entradas		Salida
A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

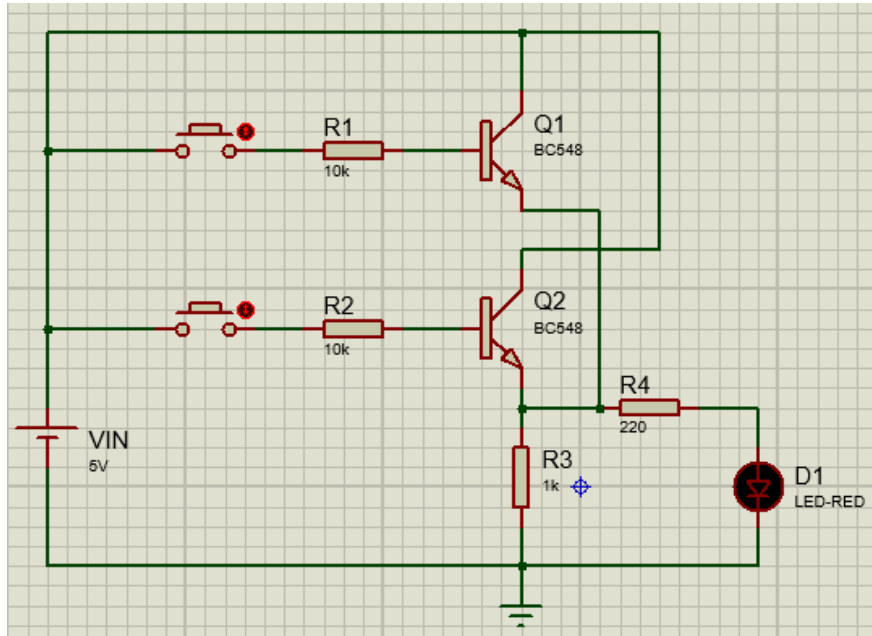
1 = ALTO, 0 = BAJO

Tabla de verdad para una puerta OR de dos entradas.

47 FLOYD, Thomas. *Fundamentos de sistemas digitales*. Novena edición. Pág 134.

48 FLOYD, Thomas. *Fundamentos de sistemas digitales*. Novena edición. Pág 135.

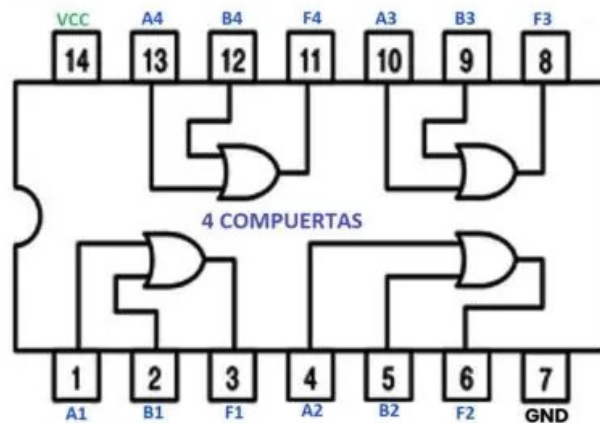
Circuito de compuerta OR con BJT



Práctica 11: Comprobar el funcionamiento de las compuertas OR del siguiente CI

74LS32

OR



$V_{CC} = 5V$

Conectar pulsadores a cada entrada (con $R_{PULLDOWN}$) y un LED con su respectiva resistencia limitadora a cada salida para comprobar el funcionamiento de cada compuerta.

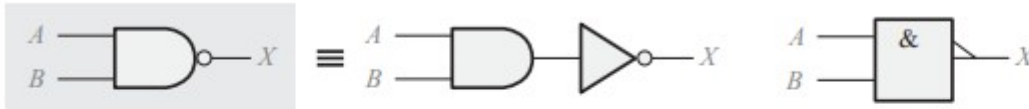
Completar la tabla de verdad

A1	B1	F1	A2	B2	F2	A3	B3	F3	A4	B4	F4
0	0		0	0		0	0		0	0	
0	1		0	1		0	1		0	1	
1	0		1	0		1	0		1	0	
1	1		1	1		1	1		1	1	

La puerta NAND

La puerta NAND es un elemento lógico popular, debido a que se puede utilizar como una puerta universal, es decir, las puertas NAND se pueden combinar para implementar las operaciones de las puertas AND, OR y del inversor.⁴⁹

El término NAND es una contracción de NOT-AND, e implica una función AND con la salida complementada (negada).⁵⁰



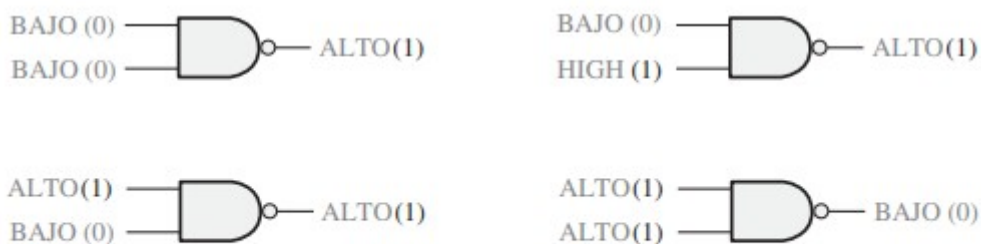
(a) Símbolo distintivo, puerta NAND de dos entradas y su equivalente NOT/AND.

(b) Símbolo rectangular, puerta NAND de dos entradas con indicador de polaridad.

Símbolos lógicos estándar de la puerta NAND (ANSI-/IEEE 91-1984).

Funcionamiento de la puerta NAND

La puerta NAND genera una salida a nivel BAJO sólo cuando todas las entradas están a nivel ALTO. Cuando cualquiera de las entradas está a nivel BAJO, la salida se pondrá a nivel ALTO.⁵¹



Funcionamiento de la puerta NAND de 2 entradas.

Tabla de verdad de la puerta NAND

Entradas		Salida
A	B	X
0	0	1
0	1	1
1	0	1
1	1	0
1 = ALTO, 0 = BAJO		

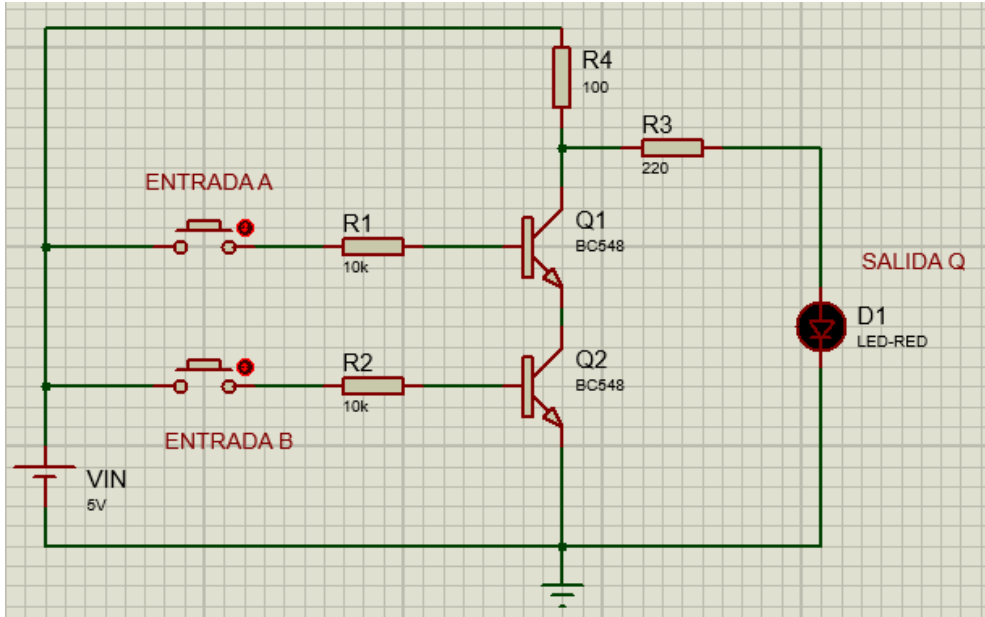
Tabla de verdad de la puerta NAND de 2 entradas.

49 FLOYD, Thomas. *Fundamentos de sistemas digitales. Novena edición.* Pág 139.

50 FLOYD, Thomas. *Fundamentos de sistemas digitales. Novena edición.* Pág 140.

51 FLOYD, Thomas. *Fundamentos de sistemas digitales. Novena edición.* Pág 140.

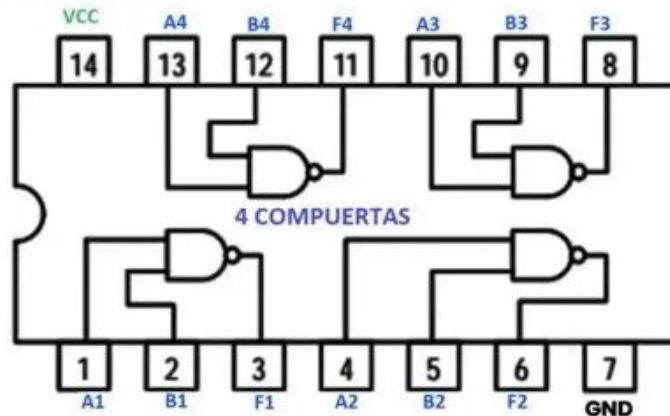
Compuerta NAND con BJT



Práctica 12: Comprobar el funcionamiento de las compuertas NAND del siguiente CI

74LS00

NAND



$V_{CC} = 5V$

Conectar pulsadores a cada entrada (con $R_{PULLDOWN}$) y un LED con su respectiva resistencia limitadora a cada salida para comprobar el funcionamiento de cada compuerta.

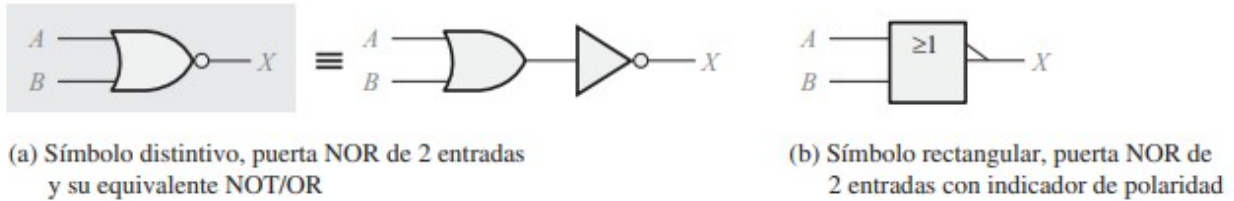
Completar la tabla de verdad

A1	B1	F1	A2	B2	F2	A3	B3	F3	A4	B4	F4
0	0		0	0		0	0		0	0	
0	1		0	1		0	1		0	1	
1	0		1	0		1	0		1	0	
1	1		1	1		1	1		1	1	

La puerta NOR

La puerta NOR, al igual que la puerta NAND, es un útil elemento lógico porque también se puede emplear como una puerta universal; es decir, las puertas NOR se pueden usar en combinación para implementar las operaciones AND, OR y del inversor.⁵²

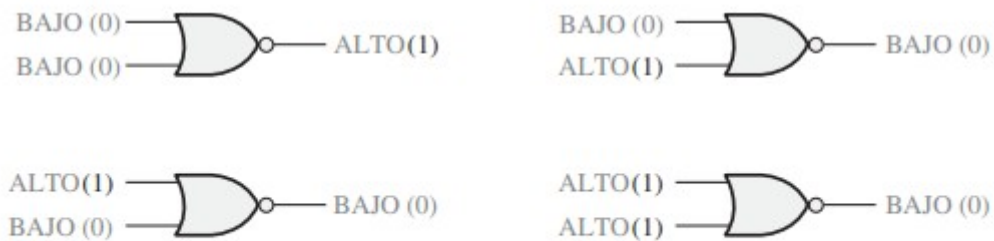
El término NOR es una contracción de NOT-OR e implica una función OR con la salida invertida (complementada).⁵³



Símbolo lógico estándar para la puerta NOR (ANSI/IEEE Std. 91-1984)

Funcionamiento de la puerta NOR

La puerta NOR genera una salida a nivel BAJO cuando cualquiera de sus entradas está a nivel ALTO. Sólo cuando todas sus entradas estén a nivel BAJO, la salida se pondrá a nivel ALTO.⁵⁴



Funcionamiento de la puerta NOR de 2 entradas.

Tabla de verdad de la compuerta NOR

Entradas		Salida
A	B	X
0	0	1
0	1	0
1	0	0
1	1	0
1 = ALTO, 0 = BAJO		

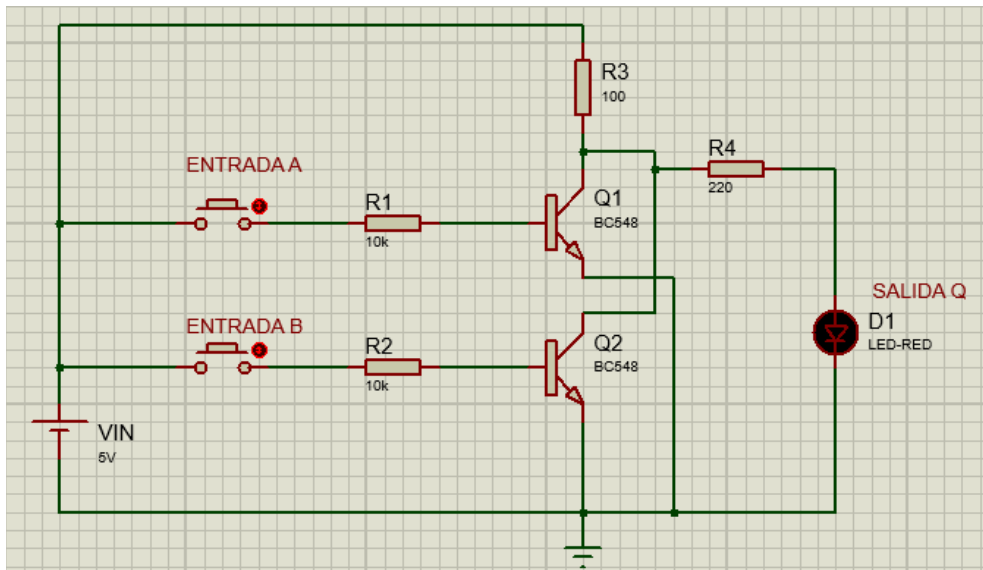
Tabla de verdad de una puerta NOR de 2 entradas.

52 FLOYD, Thomas. *Fundamentos de sistemas digitales. Novena edición.* Pág 145.

53 FLOYD, Thomas. *Fundamentos de sistemas digitales. Novena edición.* Pág 146.

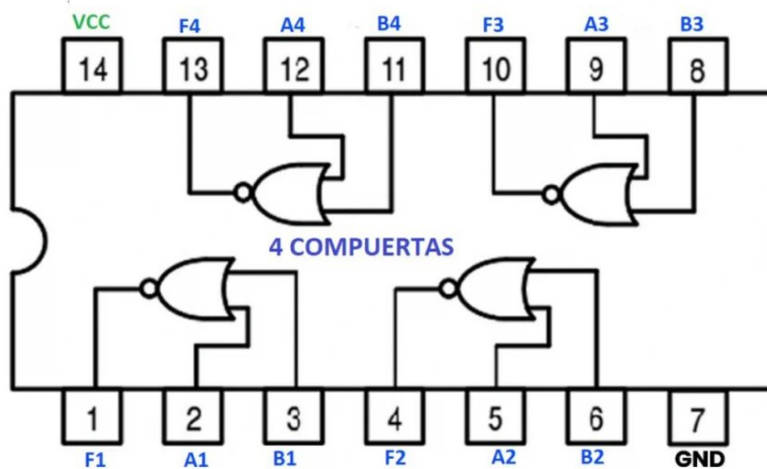
54 FLOYD, Thomas. *Fundamentos de sistemas digitales. Novena edición.* Pág 146.

Compuerta NOR con BJT



Práctica 13: Comprobar el funcionamiento de las compuertas NOR del siguiente CI

74LS02 NOR



$V_{CC} = 5V$

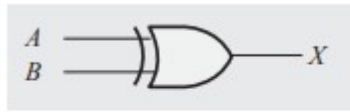
Conectar pulsadores a cada entrada (con $R_{PULLDOWN}$) y un LED con su respectiva resistencia limitadora a cada salida para comprobar el funcionamiento de cada compuerta.

Completar la tabla de verdad

A1	B1	F1	A2	B2	F2	A3	B3	F3	A4	B4	F4
0	0		0	0		0	0		0	0	
0	1		0	1		0	1		0	1	
1	0		1	0		1	0		1	0	
1	1		1	1		1	1		1	1	

La puerta OR-exclusiva

La puerta XOR tiene sólo dos entradas.



(a) Símbolo distintivo



(b) Símbolo rectangular con la puerta XOR

Símbolos lógicos estándar de la puerta OR-exclusiva.

La salida de una puerta OR-exclusiva se pone a nivel ALTO sólo cuando las dos entradas están a niveles lógicos opuestos.



Todos los niveles lógicos posibles para una puerta OR-exclusiva.

Tabla de verdad de la compuerta XOR

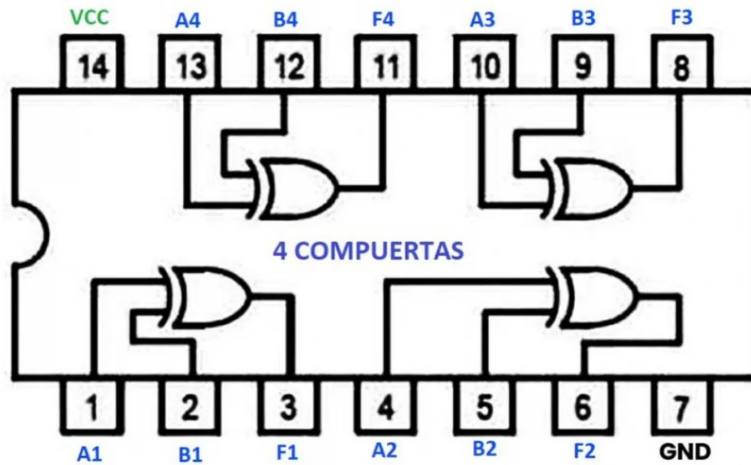
Entradas		Salida
A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

Tabla de verdad de la puerta OR-exclusiva

Práctica 14: Comprobar el funcionamiento de las compuertas XOR del siguiente CI

74LS86

XOR



$V_{CC} = 5V$

Conectar pulsadores a cada entrada (con $R_{PULLDOWN}$) y un LED con su respectiva resistencia limitadora a cada salida para comprobar el funcionamiento de cada compuerta.

Completar la tabla de verdad

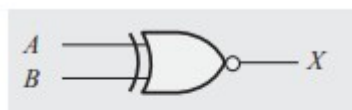
A1	B1	F1	A2	B2	F2	A3	B3	F3	A4	B4	F4
0	0		0	0		0	0		0	0	
0	1		0	1		0	1		0	1	
1	0		1	0		1	0		1	0	
1	1		1	1		1	1		1	1	

La puerta NOR-exclusiva

Al igual que la puerta XOR, la puerta XNOR sólo tiene dos entradas.

El círculo en la salida del símbolo de la puerta XNOR indica que su salida es la opuesta a la de la puerta XOR.

Cuando dos niveles lógicos de entrada son opuestos, la salida de la puerta NOR-exclusiva es un nivel BAJO.



(a) Símbolo distintivo



(b) Símbolo rectangular

Símbolos lógicos estándar para la puerta NOR-exclusiva.



Todos los niveles lógicos posibles para una puerta NOR-exclusiva.

Entradas		Salida
<i>A</i>	<i>B</i>	<i>X</i>
0	0	1
0	1	0
1	0	0
1	1	1

Tabla de verdad de la puerta NOR-exclusiva.

Video recomendado:  [Compuertas lógicas](#)

Lógica de función fija

Existen dos tecnologías de circuitos integrados digitales que se usan para implementar las puertas lógicas básicas: CMOS y TTL.

Las operaciones lógicas NOT, AND, OR, NAND, NOR y OR-exclusiva son las mismas, independientemente de la tecnología de circuitos integrados que se utilice; es decir, una puerta AND tiene la misma función lógica se implemente con la tecnología CMOS o TTL.

El término **CMOS** corresponde a Complementary Metal-Oxide Semiconductor (semiconductor metal-óxido complementario) y se implementa con un tipo de transistor de efecto de campo.

TTL (Transistor Transistor Logic, lógica transistor-transistor) y se implementa mediante transistores bipolares.

Tengamos en cuenta que CMOS y TTL sólo difieren en el tipo de componentes de circuito y los valores de los parámetros, y no en las operaciones lógicas básicas. Una puerta AND CMOS realiza la misma operación lógica que una puerta AND TTL. Esto también es cierto para todas las operaciones lógicas básicas restantes. La diferencia entre CMOS y TTL se encuentra en las características de funcionamiento, tal como la velocidad de conmutación (retardo de propagación), la disipación de potencia, la inmunidad al ruido y otros parámetros.⁵⁵

El temporizador 555

El temporizador 555 es un dispositivo versátil y muy utilizado, porque puede ser configurado de dos modos distintos, bien como **multivibrador monoestable** o como **multivibrador a estable (oscilador)**. Un multivibrador a estable no tiene estados estables y varía, por tanto, una y otra vez (oscila) entre dos estados inestables, sin utilizar un circuito de disparo externo.⁵⁶

Funcionamiento básico

A continuación se muestra un diagrama funcional con los componentes internos de un temporizador 555.

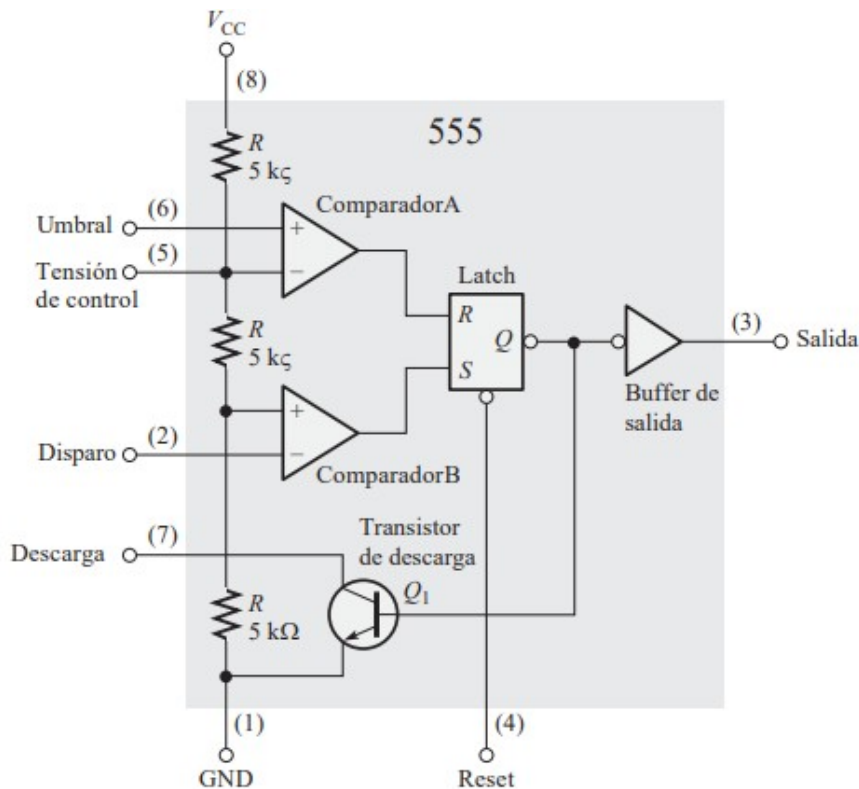


Diagrama funcional interno de un temporizador 555 (la numeración de pines se indica entre paréntesis).

Los comparadores son dispositivos cuyas salidas están a nivel ALTO cuando la tensión en la entrada positiva (+) es mayor que la tensión en la entrada negativa (-), y están a nivel BAJO cuando la tensión de entrada negativa es mayor que la tensión de entrada positiva.

El divisor de tensión, formado por tres resistencias de $5\text{k}\Omega$, proporciona un nivel de disparo de $1/3V_{CC}$ y un nivel umbral de $2/3V_{CC}$.

La entrada de la tensión de control (pin 5) se puede emplear para ajustar externamente los niveles de disparo y umbral a otros valores en caso necesario.

Cuando la entrada de disparo, normalmente a nivel ALTO, desciende momentáneamente por debajo de $1/3 V_{CC}$, la salida del comparador B conmuta de nivel BAJO a nivel ALTO y pone en estado SET al latch S-R, haciendo que la salida (pin 3) pase a nivel ALTO y bloqueando el transistor de descarga Q_1 . La salida permanecerá a nivel ALTO hasta que la tensión umbral, normalmente a nivel BAJO sobrepase $2/3$ de V_{CC} y haga que la salida del comparador A

conmute de nivel BAJO a nivel ALTO. Esto hace que el latch pase a estado RESET, con lo que la salida se pone de nuevo a nivel BAJO, de manera que el transistor de descarga se activa.

La entrada de puesta a cero (RESET) externa se puede utilizar para poner el latch a cero, independientemente del circuito umbral.

Las entradas de disparo y umbral (pines 2 y 6) se controlan mediante componentes externos, para establecer el modo de funcionamiento como monoestable o aestable.⁵⁷

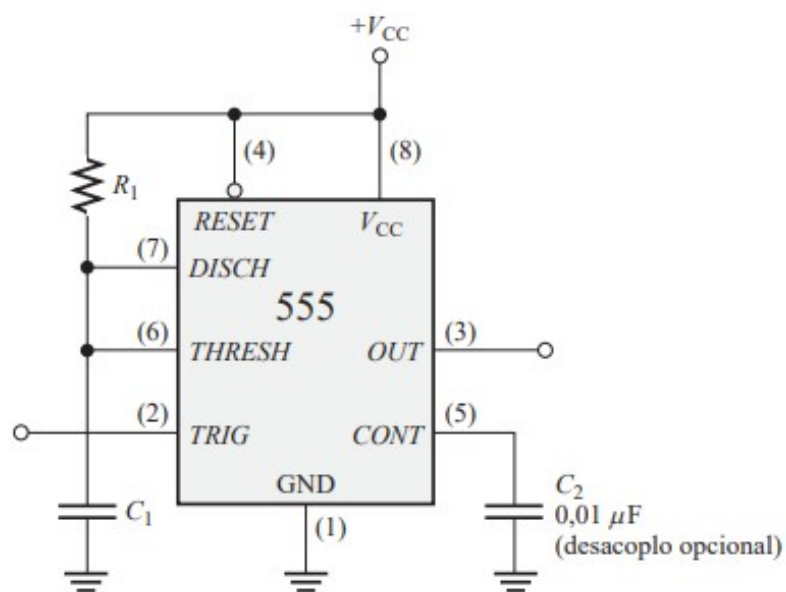
Funcionamiento como monoestable

Para configurar un temporizador 555 como monoestable no redisparable, se utilizan una resistencia y un capacitor externos.

La anchura del impulso de salida se determina mediante la constante de tiempo, que se calcula a partir de R_1 y C_1 según la siguiente fórmula:

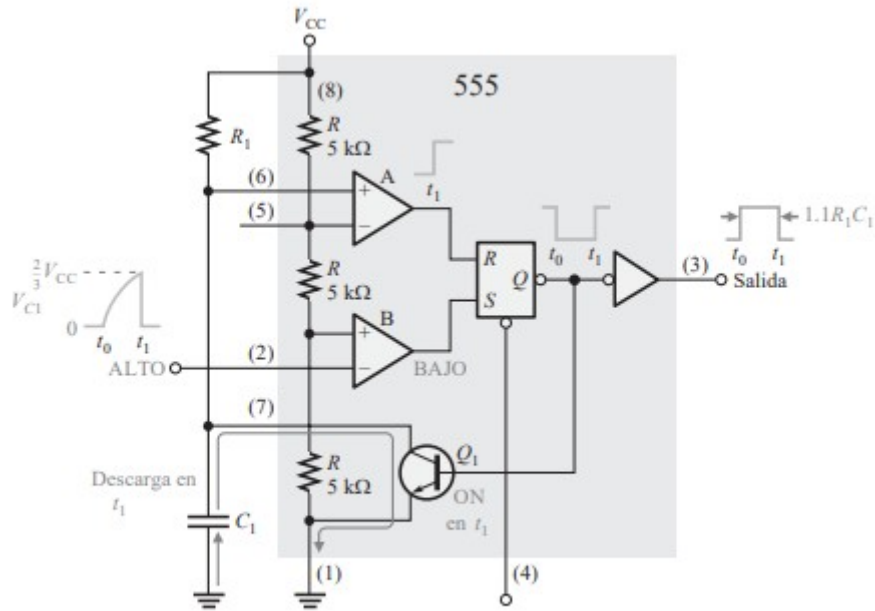
$$t_w = 1,1 R_1 C_1$$

La entrada de la tensión de control no se utiliza y se conecta a un capacitor de desacople C_2 , para evitar la aparición de ruido que pudiera afectar los niveles umbral y de disparo.



El temporizador 555 conectado como monoestable.

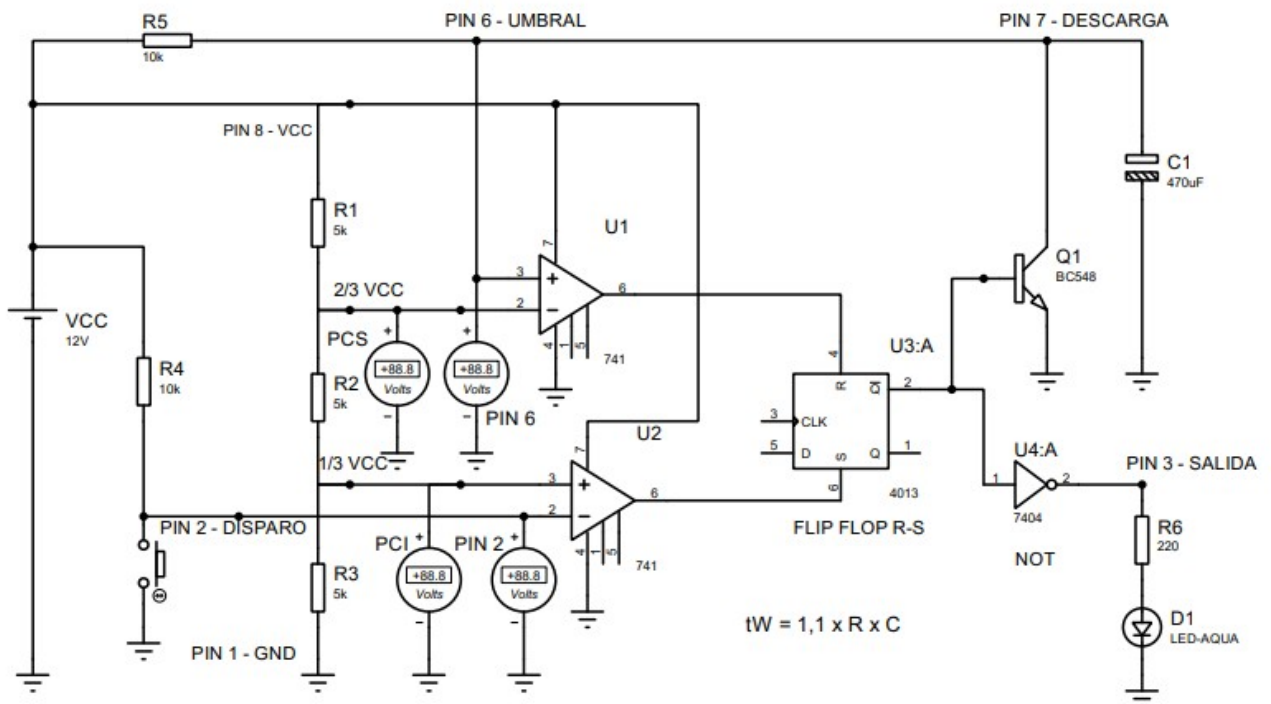
Antes de aplicar el impulso de disparo, la salida está a nivel BAJO y el transistor de descarga Q1 conduce, manteniendo C1 descargado como muestra la siguiente imagen:



Al final del intervalo de carga

Práctica 15:

Simular el siguiente circuito y comprobar el funcionamiento del 555 como monoestable.

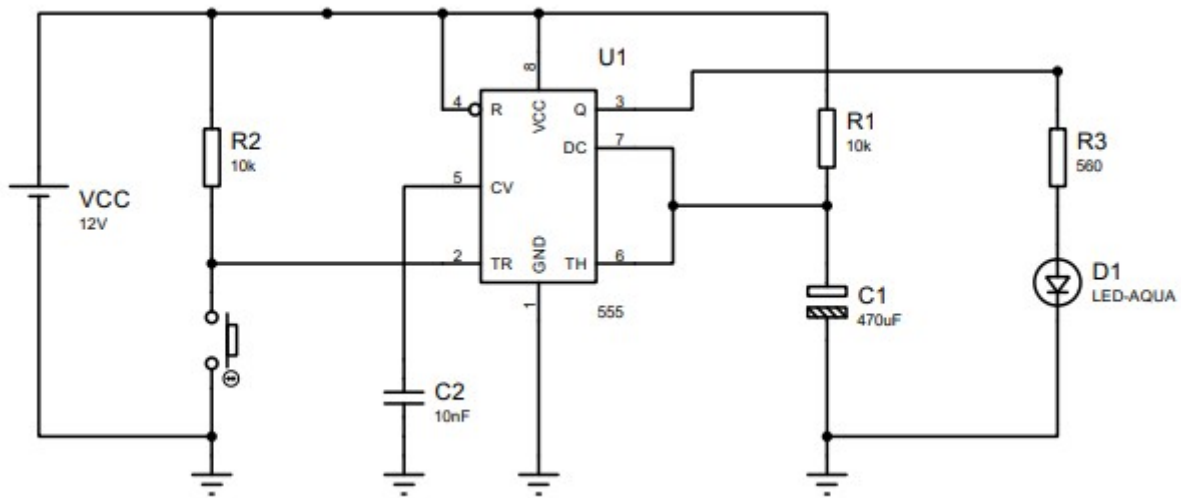


a) Averiguar t_w del circuito dado.

b) Cambiar la resistencia R_5 para que el t_w sea de 12 seg.

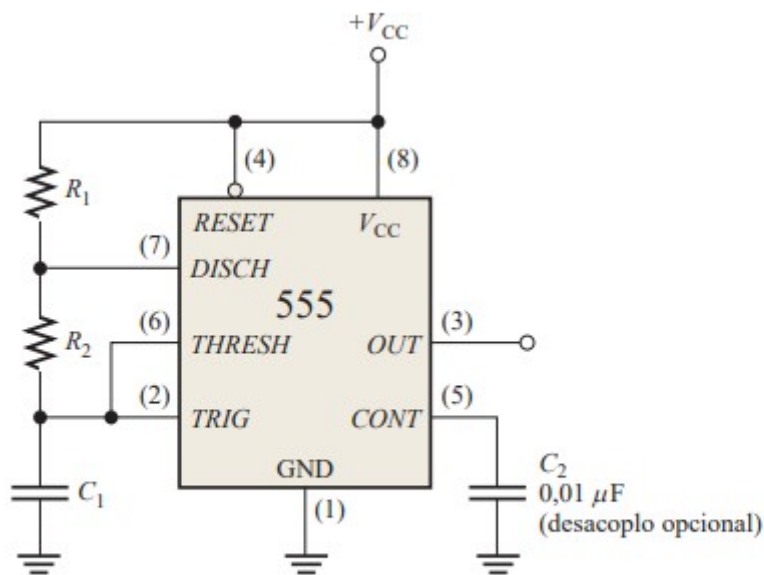
c) Cambiar el capacitor C_1 para que t_w sea de 9 seg.

Práctica 16: Ensayar el siguiente circuito en Proteus y protoboard.



Funcionamiento como aestado

En la siguiente imagen se muestra un temporizador 555 conectado para funcionar como multivibrador aestado, que es un oscilador no sinusoidal.



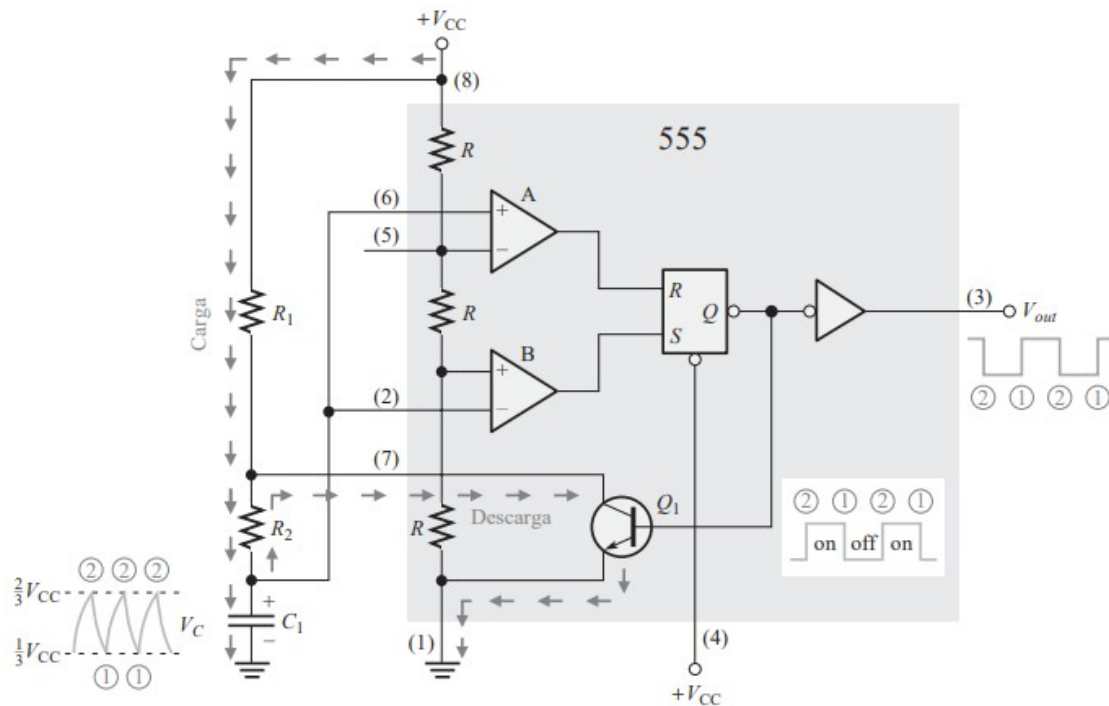
El temporizador 555 configurado como multivibrador aestado (oscilador).

Observemos que, en este caso, la entrada umbral (THRESH) está conectada a la entrada de disparo (TRIG). Los componentes externos R_1 , R_2 y C_1 conforman la red de temporización que determina la frecuencia de oscilación.

El capacitor C_2 de $0,01 \mu\text{F}$ conectado a la entrada de control (CONT) sirve únicamente para desacoplar y no afecta en absoluto al funcionamiento del resto del circuito; en algunos casos se puede eliminar.⁵⁹

Inicialmente, cuando se conecta la alimentación, el condensador (C_1) está descargado y, por tanto, la tensión de disparo (pin 2) es 0V.

Esto da lugar a que la salida del comparador B esté a nivel ALTO y la salida del comparador A a nivel BAJO, forzando la salida del latch, y por consiguiente la base de Q_1 a nivel BAJO, manteniendo el transistor bloqueado. A continuación, C_1 comienza a cargarse a través de R_1 y R_2 .



Funcionamiento del temporizador 555 configurado en modo a estable.

Cuando la tensión del capacitor alcanza el valor de $1/3 V_{CC}$, el comparador B cambia a su nivel de salida BAJO, y cuando la tensión del capacitor alcanza el valor de $2/3 V_{CC}$, el comparador A cambia a su nivel de salida ALTO.

Esto pone en estado de RESET al latch, haciendo que la base de Q_1 pase a nivel ALTO, activando el transistor.

Esta secuencia origina un camino de descarga para el condensador a través de R_2 y del transistor. El capacitor comienza ahora a descargarse, haciendo que el comparador A pase a nivel BAJO.

En el momento en que el capacitor se descarga hasta el valor $1/3 V_{CC}$, el comparador B conmuta a nivel ALTO, poniendo al latch en estado SET, lo que hace que la base de Q_1 se ponga a nivel BAJO, bloqueando el transistor.⁶⁰

De nuevo comienza otro ciclo de carga, y el proceso completo se repite. El resultado es una señal de salida rectangular cuyo ciclo de trabajo depende de los valores de R_1 y R_2 . La frecuencia de oscilación viene dada por la siguiente fórmula:

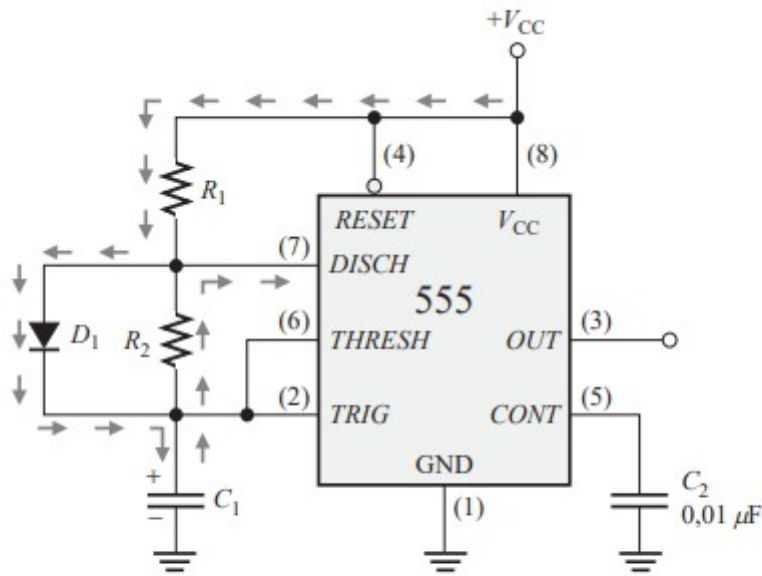
$$f = \frac{1,44}{(R_1 + 2R_2)C_1}$$

El ciclo de trabajo de la salida puede ser ajustado seleccionando R_1 y R_2 . Dado que C_1 se carga a través de $R_1 + R_2$ y se descarga únicamente a través R_2 , se pueden conseguir ciclos de trabajo de un mínimo del 50 por ciento aproximadamente, si $R_2 \gg R_1$, de forma que los tiempos de carga y descarga sean aproximadamente iguales.

$$\text{Ciclo de trabajo} = \left(\frac{R_1 + R_2}{R_1 + 2R_2} \right) 100\%$$

Para conseguir ciclos de trabajo menores que el 50 por ciento, se puede modificar el circuito de modo que C_1 se cargue sólo a través de R_1 y se descargue a través de R_2 .

Esto se consigue mediante un diodo D_1 colocado tal y como se muestra en la figura siguiente:.



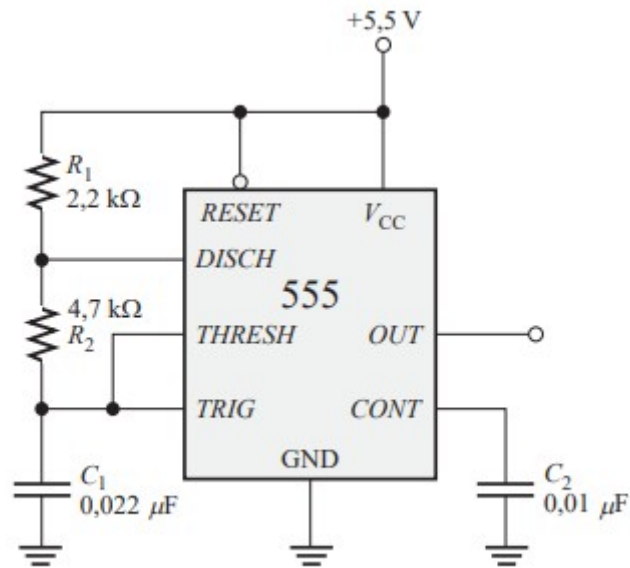
La adición de un diodo D_1 permite ajustar el ciclo de trabajo de la salida a un valor menor del 50 por ciento, haciendo $R_1 < R_2$.

El ciclo de trabajo se puede hacer menor que el 50 por ciento, haciendo R_1 menor que R_2 . Bajo esta condición, la expresión para el ciclo de trabajo es:

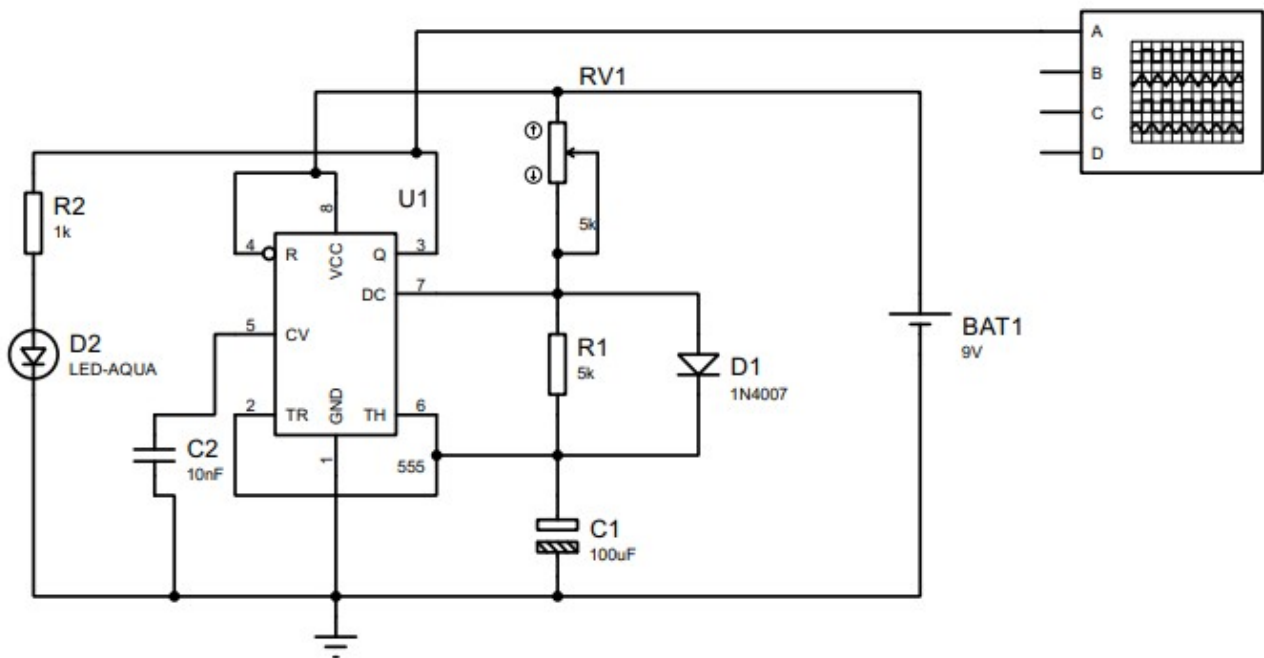
$$\text{Ciclo de trabajo} = \left(\frac{R_1}{R_1 + R_2} \right) 100\%$$

Práctica 17: Determinar la frecuencia de la salida y el ciclo de trabajo del siguiente 555 configurado en aestable.

Ensayar en Proteus y protoboard. Confirmar resultados con el osciloscopio.

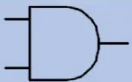



Práctica 18: Ensayar el siguiente circuito en Proteus y protoboard. Comprobar funcionamiento con el osciloscopio.



Arduino – Prácticas

Operadores lógicos

Operador	Nomenclatura en Arduino	Significado	Símbolo
AND	&&	Devuelve true cuando la primera Y la segunda condición se cumplen	
OR		Devuelve true cuando la primera O la segunda condición se cumple	
NAND	(i=) && (i=)	Devuelve true cuando NI la primera NI la segunda condición se cumplen	
NOR	(i=) (i=)	Devuelve true cuando NO se cumple alguna de las condiciones	
NOT	i=	Devuelve true cuando NO se cumple una condición	

Realizar las siguientes prácticas en Tinkercad y protoboard. Realizar diagrama de flujo y el código en Arduino correspondiente.

Práctica 1: Compuerta AND de 2 entradas

Práctica 2: Compuerta OR de 2 entradas

Práctica 3: Compuerta NAND de 2 entradas

Práctica 4: Compuerta NOR de 2 entradas

Práctica 5: Compuerta NOT

Práctica 6: Conectar Arduino a LCD con I2C

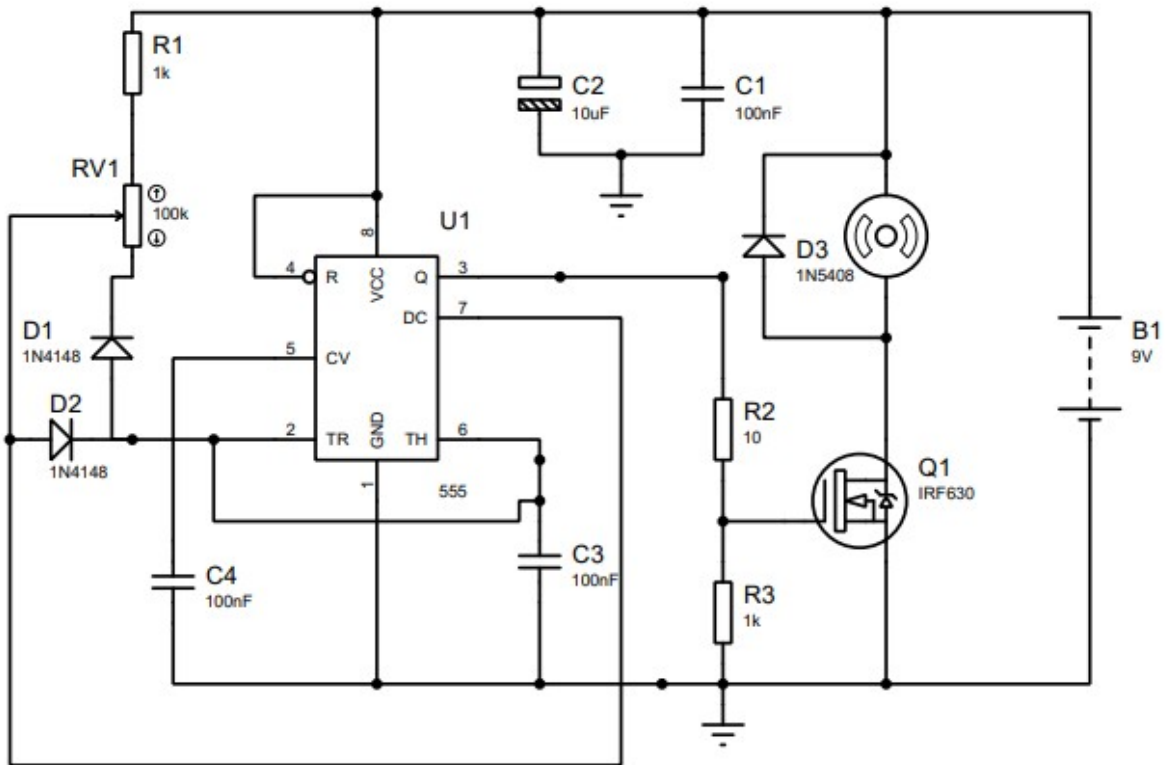
Práctica 7: Biestable – Latch

Práctica 8: Inversor de giro de motor CC con variación de velocidad

Trabajos Prácticos

1) PWM

Pulse Width Modulation (PWM)



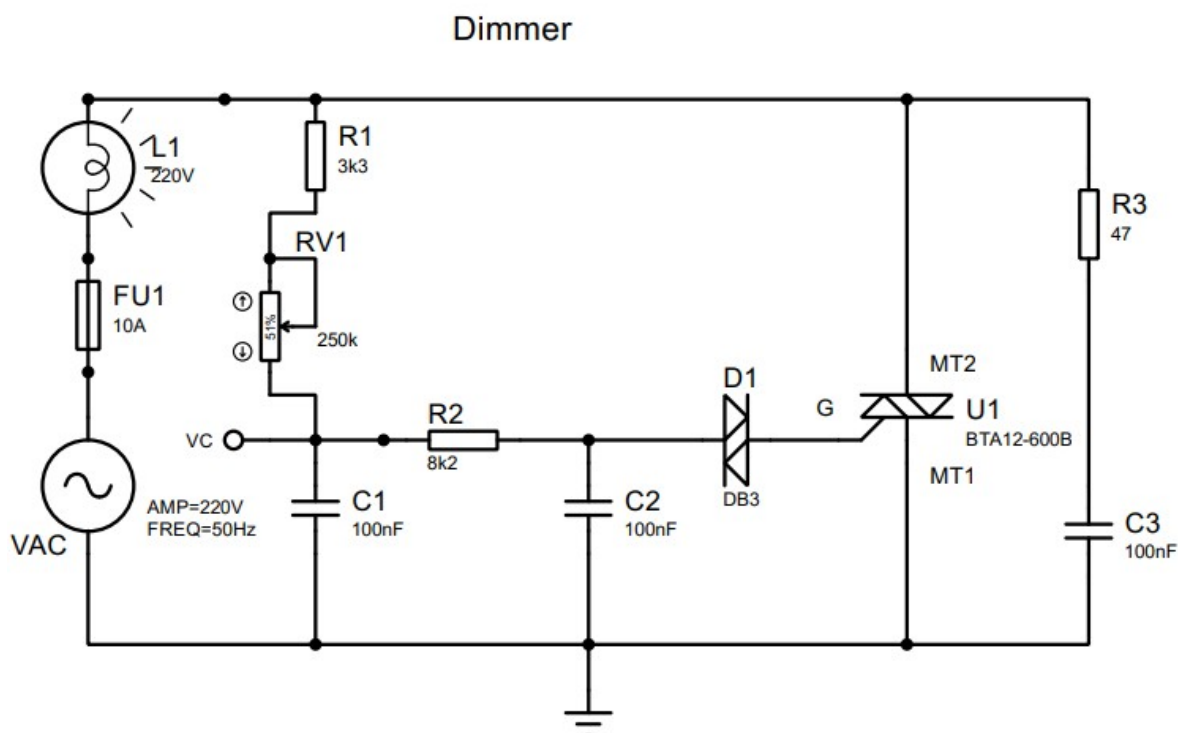
Conceptos trabajados:

- El CI 555 como aestado (oscilador). Regulación de ciclos de trabajo.
- Transistores de efecto de campo. MOSFET.
- Regulación de velocidad de un motor de C.C.
- Armado de circuito y ensayo en protoboard.
- Mediciones varias (V, I, R, continuidad).
- Diseño y construcción de PCB.

Lista de materiales por unidad:

- 1 x CI555
- 1 x R10Ω
- 2 x R1K
- 1 x Preset 100K
- 1 x Cap. 10μf x 50V
- 3 x Cap. 100nF x 250V
- 2 x 1N4148
- 1 x 1N5408
- 1 x IRF630

2) Dimmer



Conceptos trabajados:

- Electrónica de potencia. Tiristores. Diac y Triac.
- Variación de iluminación/velocidad de una carga monofásica por control de fase.
- Mediciones varias (V, I, R, continuidad, osciloscopio).
- Diseño y construcción de un circuito PCB.

Lista de materiales por unidad:

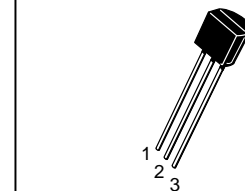
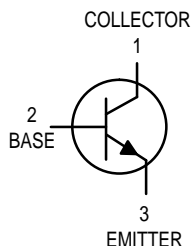
- 1 x R47 Ω
- 1 x R3k3
- 1 x R8k2
- 1 x Potenciómetro B250K
- 3 x Cap. Polyester 0.1 μ f x 250v
- 1 x Diac DB3
- 1 x BTA12-600
- 1 x Placa Pertinax 5 x 5cm
- 1 x Fusible 10A
- 1 x Portafusible p/gabinete
- 2 x Borneras de dos contactos para circuito impreso

Datasheet – Hojas de datos de los componentes utilizados

Amplifier Transistors

NPN Silicon

BC546, B
BC547, A, B, C
BC548, A, B, C



CASE 29-04, STYLE 17
TO-92 (TO-226AA)

MAXIMUM RATINGS

Rating	Symbol	BC 546	BC 547	BC 548	Unit
Collector–Emitter Voltage	V_{CEO}	65	45	30	Vdc
Collector–Base Voltage	V_{CBO}	80	50	30	Vdc
Emitter–Base Voltage	V_{EBO}	6.0			Vdc
Collector Current — Continuous	I_C	100			mAdc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	625			mW
		5.0			mW/°C
Total Device Dissipation @ $T_C = 25^\circ\text{C}$ Derate above 25°C	P_D	1.5			Watt
		12			mW/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}	–55 to +150			°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	200	°C/W
Thermal Resistance, Junction to Case	$R_{\theta JC}$	83.3	°C/W

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
----------------	--------	-----	-----	-----	------

OFF CHARACTERISTICS

Collector–Emitter Breakdown Voltage ($I_C = 1.0\text{ mA}, I_B = 0$)	BC546	$V_{(BR)CEO}$	65	—	—	V
	BC547		45	—	—	
	BC548		30	—	—	
Collector–Base Breakdown Voltage ($I_C = 100\ \mu\text{Adc}$)	BC546	$V_{(BR)CBO}$	80	—	—	V
	BC547		50	—	—	
	BC548		30	—	—	
Emitter–Base Breakdown Voltage ($I_E = 10\ \mu\text{A}, I_C = 0$)	BC546	$V_{(BR)EBO}$	6.0	—	—	V
	BC547		6.0	—	—	
	BC548		6.0	—	—	
Collector Cutoff Current ($V_{CE} = 70\text{ V}, V_{BE} = 0$) ($V_{CE} = 50\text{ V}, V_{BE} = 0$) ($V_{CE} = 35\text{ V}, V_{BE} = 0$) ($V_{CE} = 30\text{ V}, T_A = 125^\circ\text{C}$)	BC546	I_{CES}	—	0.2	15	nA
	BC547		—	0.2	15	
	BC548		—	0.2	15	
	BC546/547/548		—	—	4.0	

BC546, B BC547, A, B, C BC548, A, B, C
ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted) (Continued)

Characteristic	Symbol	Min	Typ	Max	Unit
ON CHARACTERISTICS					
DC Current Gain ($I_C = 10\ \mu\text{A}$, $V_{CE} = 5.0\ \text{V}$)	BC547A/548A BC546B/547B/548B BC548C	— — —	90 150 270	— — —	—
($I_C = 2.0\ \text{mA}$, $V_{CE} = 5.0\ \text{V}$)	BC546 BC547 BC548 BC547A/548A BC546B/547B/548B BC547C/BC548C	110 110 110 110 200 420	— — — 180 290 520	450 800 800 220 450 800	
($I_C = 100\ \text{mA}$, $V_{CE} = 5.0\ \text{V}$)	BC547A/548A BC546B/547B/548B BC548C	— — —	120 180 300	— — —	
Collector–Emitter Saturation Voltage ($I_C = 10\ \text{mA}$, $I_B = 0.5\ \text{mA}$) ($I_C = 100\ \text{mA}$, $I_B = 5.0\ \text{mA}$) ($I_C = 10\ \text{mA}$, $I_B = \text{See Note 1}$)	$V_{CE(\text{sat})}$	— — —	0.09 0.2 0.3	0.25 0.6 0.6	V
Base–Emitter Saturation Voltage ($I_C = 10\ \text{mA}$, $I_B = 0.5\ \text{mA}$)	$V_{BE(\text{sat})}$	—	0.7	—	V
Base–Emitter On Voltage ($I_C = 2.0\ \text{mA}$, $V_{CE} = 5.0\ \text{V}$) ($I_C = 10\ \text{mA}$, $V_{CE} = 5.0\ \text{V}$)	$V_{BE(\text{on})}$	0.55 —	— —	0.7 0.77	V

SMALL–SIGNAL CHARACTERISTICS

Current–Gain — Bandwidth Product ($I_C = 10\ \text{mA}$, $V_{CE} = 5.0\ \text{V}$, $f = 100\ \text{MHz}$)	BC546 BC547 BC548	f_T	150 150 150	300 300 300	— — —	MHz
Output Capacitance ($V_{CB} = 10\ \text{V}$, $I_C = 0$, $f = 1.0\ \text{MHz}$)		C_{obo}	—	1.7	4.5	pF
Input Capacitance ($V_{EB} = 0.5\ \text{V}$, $I_C = 0$, $f = 1.0\ \text{MHz}$)		C_{ibo}	—	10	—	pF
Small–Signal Current Gain ($I_C = 2.0\ \text{mA}$, $V_{CE} = 5.0\ \text{V}$, $f = 1.0\ \text{kHz}$)	BC546 BC547/548 BC547A/548A BC546B/547B/548B BC547C/548C	h_{fe}	125 125 125 240 450	— — 220 330 600	500 900 260 500 900	—
Noise Figure ($I_C = 0.2\ \text{mA}$, $V_{CE} = 5.0\ \text{V}$, $R_S = 2\ \text{k}\Omega$, $f = 1.0\ \text{kHz}$, $\Delta f = 200\ \text{Hz}$)	BC546 BC547 BC548	NF	— — —	2.0 2.0 2.0	10 10 10	dB

 Note 1: I_B is value for which $I_C = 11\ \text{mA}$ at $V_{CE} = 1.0\ \text{V}$.



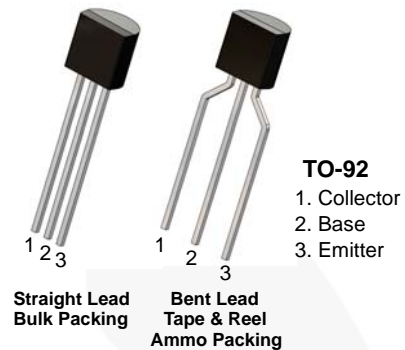
September 2015

BC337 / BC338

NPN Epitaxial Silicon Transistor

Features

- Switching and Amplifier Applications
- Suitable for AF-Driver Stages and Low-Power Output Stages
- Complement to BC327 / BC328



Ordering Information

Part Number	Top Mark	Package	Packing Method
BC33716BU	BC33716	TO-92 3L	Bulk
BC33716TA	BC33716	TO-92 3L	Ammo
BC33716TFR	BC33716	TO-92 3L	Tape and Reel
BC33725BU	BC33725	TO-92 3L	Bulk
BC33725TA	BC33725	TO-92 3L	Ammo
BC33725TAR	BC33725	TO-92 3L	Ammo
BC33725TF	BC33725	TO-92 3L	Tape and Reel
BC33725TFR	BC33725	TO-92 3L	Tape and Reel
BC33740BU	BC33740	TO-92 3L	Bulk
BC33740TA	BC33740	TO-92 3L	Ammo
BC33825TA	BC33825	TO-92 3L	Ammo

Absolute Maximum Ratings

Stresses exceeding the absolute maximum ratings may damage the device. The device may not function or be operable above the recommended operating conditions and stressing the parts to these levels is not recommended. In addition, extended exposure to stresses above the recommended operating conditions may affect device reliability. The absolute maximum ratings are stress ratings only. Values are at $T_A = 25^\circ\text{C}$ unless otherwise noted.

Symbol	Parameter	Value	Unit
V_{CES}	Collector-Emitter Voltage	BC337	50
		BC338	30
V_{CEO}	Collector-Emitter Voltage	BC337	45
		BC338	25
V_{EBO}	Emitter-Base Voltage	5	V
I_C	Collector Current (DC)	800	mA
T_J	Junction Temperature	150	$^\circ\text{C}$
T_{STG}	Storage Temperature	-55 to 150	$^\circ\text{C}$

Thermal Characteristics⁽¹⁾Values are at $T_A = 25^\circ\text{C}$ unless otherwise noted.

Symbol	Parameter	Value	Unit
P_D	Power Dissipation	625	mW
	Derate Above 25°C	5.0	mW/ $^\circ\text{C}$
$R_{\theta JA}$	Thermal Resistance, Junction-to-Ambient	200	$^\circ\text{C}/\text{W}$

Note:

1. PCB size: FR-4, 76 mm x 114 mm x 1.57 mm (3.0 inch x 4.5 inch x 0.062 inch) with minimum land pattern size.

Electrical CharacteristicsValues are at $T_A = 25^\circ\text{C}$ unless otherwise noted.

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit	
BV_{CEO}	Collector-Emitter Breakdown Voltage	BC337	$I_C = 10\text{ mA}, I_B = 0$	45			V
		BC338		25			
BV_{CES}	Collector-Emitter Breakdown Voltage	BC337	$I_C = 0.1\text{ mA}, V_{BE} = 0$	50			V
		BC338		30			
BV_{EBO}	Emitter-Base Breakdown Voltage	$I_E = 0.1\text{ mA}, I_C = 0$	5			V	
I_{CES}	Collector Cut-Off Current	BC337	$V_{CE} = 45\text{ V}, I_B = 0$		2	100	nA
		BC338	$V_{CE} = 25\text{ V}, I_B = 0$		2	100	
h_{FE1}	DC Current Gain		$V_{CE} = 1\text{ V}, I_C = 100\text{ mA}$	100		630	
h_{FE2}			$V_{CE} = 1\text{ V}, I_C = 300\text{ mA}$	60			
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	$I_C = 500\text{ mA}, I_B = 50\text{ mA}$			0.7	V	
$V_{BE(on)}$	Base-Emitter On Voltage	$V_{CE} = 1\text{ V}, I_C = 300\text{ mA}$			1.2	V	
f_T	Current Gain Bandwidth Product	$V_{CE} = 5\text{ V}, I_C = 10\text{ mA}, f = 50\text{ MHz}$		100		MHz	
C_{ob}	Output Capacitance	$V_{CB} = 10\text{ V}, I_E = 0, f = 1\text{ MHz}$		12		pF	

 h_{FE} Classification

Classification	16	25	40
h_{FE1}	100 ~ 250	160 ~ 400	250 ~ 630
h_{FE2}	60 ~	100 ~	170 ~

Complementary low voltage transistor

Features

- Products are pre-selected in DC current gain

Application

- General purpose

Description

These epitaxial planar transistors are mounted in the SOT-32 plastic package. They are designed for audio amplifiers and drivers utilizing complementary or quasi-complementary circuits. The NPN types are the BD135 and BD139, and the complementary PNP types are the BD136 and BD140.

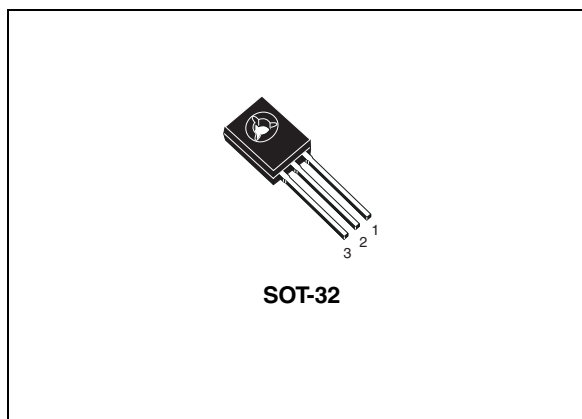


Figure 1. Internal schematic diagram

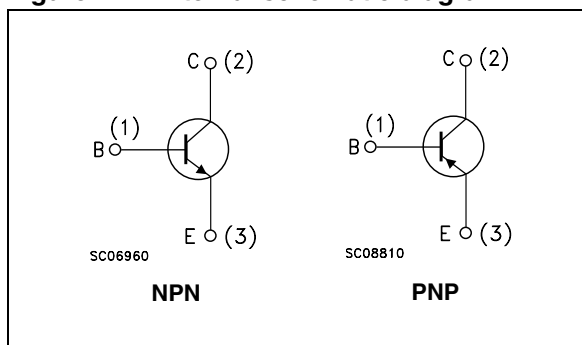


Table 1. Device summary

Order codes	Marking	Package	Packaging
BD135	BD135	SOT-32	Tube
BD135-16	BD135-16		
BD136	BD136		
BD136-16	BD136-16		
BD139	BD139		
BD139-10	BD139-10		
BD139-16	BD139-16		
BD140	BD140		
BD140-10	BD140-10		
BD140-16	BD140-16		

1 Electrical ratings

Table 2. Absolute maximum ratings

Symbol	Parameter	Value				Unit
		NPN		PNP		
		BD135	BD139	BD136	BD140	
V_{CBO}	Collector-base voltage ($I_E = 0$)	45	80	-45	-80	V
V_{CEO}	Collector-emitter voltage ($I_B = 0$)	45	80	-45	-80	V
V_{EBO}	Emitter-base voltage ($I_C = 0$)	5		-5		V
I_C	Collector current	1.5		-1.5		A
I_{CM}	Collector peak current	3		-3		A
I_B	Base current	0.5		-0.5		A
P_{TOT}	Total dissipation at $T_c \leq 25\text{ °C}$	12.5				W
P_{TOT}	Total dissipation at $T_{amb} \leq 25\text{ °C}$	1.25				W
T_{stg}	Storage temperature	-65 to 150				°C
T_j	Max. operating junction temperature	150				°C

Table 3. Thermal data

Symbol	Parameter	Max value	Unit
$R_{thj-case}$	Thermal resistance junction-case	10	°C/W
$R_{thj-amb}$	Thermal resistance junction-ambient	100	°C/W

2 Electrical characteristics

($T_{\text{case}} = 25\text{ °C}$ unless otherwise specified)

Table 4. On/off states

Symbol	Parameter	Polarity	Test conditions	Value			Unit
				Min.	Typ.	Max.	
I_{CBO}	Collector cut-off current ($I_{\text{E}}=0$)	NPN	$V_{\text{CB}} = 30\text{ V}$ $V_{\text{CB}} = 30\text{ V}, T_{\text{C}} = 125\text{ °C}$			0.1 10	μA μA
		PNP	$V_{\text{CB}} = -30\text{ V}$ $V_{\text{CB}} = -30\text{ V}, T_{\text{C}} = 125\text{ °C}$			-0.1 -10	μA μA
I_{EBO}	Emitter cut-off current ($I_{\text{C}}=0$)	NPN	$V_{\text{EB}} = 5\text{ V}$			10	μA
		PNP	$V_{\text{EB}} = -5\text{ V}$			-10	μA
$V_{\text{CEO(sus)}}^{(1)}$	Collector-emitter sustaining voltage ($I_{\text{B}}=0$)	NPN	$I_{\text{C}} = 30\text{ mA}$ BD135 BD139	45 80			V V
		PNP	$I_{\text{C}} = -30\text{ mA}$ BD136 BD140	-45 -80			V V
$V_{\text{CE(sat)}}^{(1)}$	Collector-emitter saturation voltage	NPN	$I_{\text{C}} = 0.5\text{ A}, I_{\text{B}} = 0.05\text{ A}$			0.5	V
		PNP	$I_{\text{C}} = -0.5\text{ A}, I_{\text{B}} = -0.05\text{ A}$			-0.5	V
$V_{\text{BE}}^{(1)}$	Base-emitter voltage	NPN	$I_{\text{C}} = 0.5\text{ A}, V_{\text{CE}} = 2\text{ V}$			1	V
		PNP	$I_{\text{C}} = -0.5\text{ A}, V_{\text{CE}} = -2\text{ V}$			-1	V
$h_{\text{FE}}^{(1)}$	DC current gain	NPN	$I_{\text{C}} = 5\text{ mA}, V_{\text{CE}} = 2\text{ V}$ $I_{\text{C}} = 150\text{ mA}, V_{\text{CE}} = 2\text{ V}$ $I_{\text{C}} = 0.5\text{ A}, V_{\text{CE}} = 2\text{ V}$	25 40 25		250	
		PNP	$I_{\text{C}} = -5\text{ mA}, V_{\text{CE}} = -2\text{ V}$ $I_{\text{C}} = -150\text{ mA}, V_{\text{CE}} = -2\text{ V}$ $I_{\text{C}} = -0.5\text{ A}, V_{\text{CE}} = -2\text{ V}$	25 40 25		250	
$h_{\text{FE}}^{(1)}$	h_{FE} groups	NPN	$I_{\text{C}} = 150\text{ mA}, V_{\text{CE}} = 2\text{ V}$ BD139-10 BD135-16/BD139-16	63 100		160 250	
		PNP	$I_{\text{C}} = -150\text{ mA}, V_{\text{CE}} = -2\text{ V}$ BD140-10 BD136-16/BD140-16	63 100		160 250	

1. Pulsed: pulse duration = 300 μs , duty cycle 1.5%

2N3903, 2N3904

2N3903 is a Preferred Device

General Purpose Transistors

NPN Silicon



ON Semiconductor™

<http://onsemi.com>

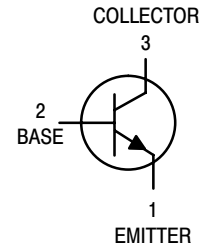
MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector–Emitter Voltage	V_{CE0}	40	Vdc
Collector–Base Voltage	V_{CB0}	60	Vdc
Emitter–Base Voltage	V_{EB0}	6.0	Vdc
Collector Current – Continuous	I_C	200	mAdc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	625 5.0	mW mW/ $^\circ\text{C}$
Total Device Dissipation @ $T_C = 25^\circ\text{C}$ Derate above 25°C	P_D	1.5 12	Watts mW/ $^\circ\text{C}$
Operating and Storage Junction Temperature Range	T_J, T_{stg}	-55 to +150	$^\circ\text{C}$

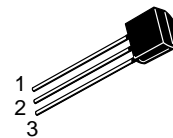
THERMAL CHARACTERISTICS (Note 1.)

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	200	$^\circ\text{C}/\text{W}$
Thermal Resistance, Junction to Case	$R_{\theta JC}$	83.3	$^\circ\text{C}/\text{W}$

1. Indicates Data in addition to JEDEC Requirements.

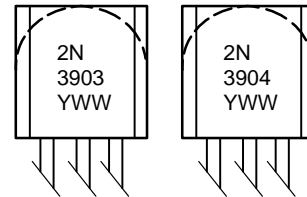


STYLE 1



TO-92
CASE 29
STYLE 1

MARKING DIAGRAMS



Y = Year
WW = Work Week

ORDERING INFORMATION

Device	Package	Shipping
2N3903	TO-92	5000 Units/Box
2N3903RLRM	TO-92	2000/Ammo Pack
2N3904	TO-92	5000 Units/Box
2N3904RLRA	TO-92	2000/Tape & Reel
2N3904RLRE	TO-92	2000/Tape & Reel
2N3904RLRM	TO-92	2000/Ammo Pack
2N3904RLRP	TO-92	2000/Ammo Pack
2N3904RL1	TO-92	2000/Tape & Reel
2N3904ZL1	TO-92	2000/Ammo Pack

Preferred devices are recommended choices for future use and best overall value.

2N3903, 2N3904

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
----------------	--------	-----	-----	------

OFF CHARACTERISTICS

Collector–Emitter Breakdown Voltage (Note 2.) (I _C = 1.0 mA _{dc} , I _B = 0)	V _{(BR)CEO}	40	–	V _{dc}
Collector–Base Breakdown Voltage (I _C = 10 μA _{dc} , I _E = 0)	V _{(BR)CBO}	60	–	V _{dc}
Emitter–Base Breakdown Voltage (I _E = 10 μA _{dc} , I _C = 0)	V _{(BR)EBO}	6.0	–	V _{dc}
Base Cutoff Current (V _{CE} = 30 V _{dc} , V _{EB} = 3.0 V _{dc})	I _{BL}	–	50	nA _{dc}
Collector Cutoff Current (V _{CE} = 30 V _{dc} , V _{EB} = 3.0 V _{dc})	I _{CEX}	–	50	nA _{dc}

ON CHARACTERISTICS

DC Current Gain (Note 2.) (I _C = 0.1 mA _{dc} , V _{CE} = 1.0 V _{dc})	2N3903	h _{FE}	20	–	–
	2N3904		40	–	–
(I _C = 1.0 mA _{dc} , V _{CE} = 1.0 V _{dc})	2N3903	35	–	–	–
	2N3904	70	–	–	–
(I _C = 10 mA _{dc} , V _{CE} = 1.0 V _{dc})	2N3903	50	150	–	–
	2N3904	100	300	–	–
(I _C = 50 mA _{dc} , V _{CE} = 1.0 V _{dc})	2N3903	30	–	–	–
	2N3904	60	–	–	–
(I _C = 100 mA _{dc} , V _{CE} = 1.0 V _{dc})	2N3903	15	–	–	–
	2N3904	30	–	–	–
Collector–Emitter Saturation Voltage (Note 2.) (I _C = 10 mA _{dc} , I _B = 1.0 mA _{dc}) (I _C = 50 mA _{dc} , I _B = 5.0 mA _{dc})		V _{CE(sat)}	–	0.2	V _{dc}
			–	0.3	
Base–Emitter Saturation Voltage (Note 2.) (I _C = 10 mA _{dc} , I _B = 1.0 mA _{dc}) (I _C = 50 mA _{dc} , I _B = 5.0 mA _{dc})		V _{BE(sat)}	0.65	0.85	V _{dc}
			–	0.95	

SMALL–SIGNAL CHARACTERISTICS

Current–Gain – Bandwidth Product (I _C = 10 mA _{dc} , V _{CE} = 20 V _{dc} , f = 100 MHz)	2N3903	f _T	250	–	MHz
	2N3904		300	–	
Output Capacitance (V _{CB} = 5.0 V _{dc} , I _E = 0, f = 1.0 MHz)		C _{obo}	–	4.0	pF
Input Capacitance (V _{EB} = 0.5 V _{dc} , I _C = 0, f = 1.0 MHz)		C _{ibo}	–	8.0	pF
Input Impedance (I _C = 1.0 mA _{dc} , V _{CE} = 10 V _{dc} , f = 1.0 kHz)	2N3903	h _{ie}	1.0	8.0	k Ω
	2N3904		1.0	10	
Voltage Feedback Ratio (I _C = 1.0 mA _{dc} , V _{CE} = 10 V _{dc} , f = 1.0 kHz)	2N3903	h _{re}	0.1	5.0	X 10 ^{–4}
	2N3904		0.5	8.0	
Small–Signal Current Gain (I _C = 1.0 mA _{dc} , V _{CE} = 10 V _{dc} , f = 1.0 kHz)	2N3903	h _{fe}	50	200	–
	2N3904		100	400	
Output Admittance (I _C = 1.0 mA _{dc} , V _{CE} = 10 V _{dc} , f = 1.0 kHz)		h _{oe}	1.0	40	μmhos
Noise Figure (I _C = 100 μA _{dc} , V _{CE} = 5.0 V _{dc} , R _S = 1.0 k Ω, f = 1.0 kHz)	2N3903	NF	–	6.0	dB
	2N3904		–	5.0	

SWITCHING CHARACTERISTICS

Delay Time	(V _{CC} = 3.0 V _{dc} , V _{BE} = 0.5 V _{dc} , I _C = 10 mA _{dc} , I _{B1} = 1.0 mA _{dc})	2N3903 2N3904	t _d	–	35	ns
Rise Time			t _r	–	35	ns
Storage Time	(V _{CC} = 3.0 V _{dc} , I _C = 10 mA _{dc} , I _{B1} = I _{B2} = 1.0 mA _{dc})	2N3903 2N3904	t _s	–	175	ns
Fall Time			t _f	–	50	ns

2. Pulse Test: Pulse Width ≤ 300 μs; Duty Cycle ≤ 2%.



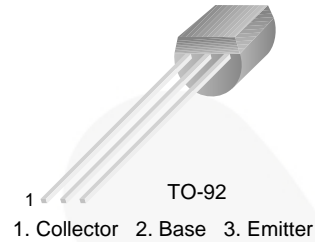
October 2014

BC327

PNP Epitaxial Silicon Transistor

Features

- Switching and Amplifier Applications
- Suitable for AF-Driver Stages and Low-Power Output Stages
- Complement to BC337 / BC338



Ordering Information

Part Number	Top Mark	Package	Packing Method
BC327BU	BC327	TO-92 3L	Bulk
BC32716BU	BC32716	TO-92 3L	Bulk
BC32716TA	BC32716	TO-92 3L	Ammo
BC32725BU	BC32725	TO-92 3L	Bulk
BC32725TA	BC32725	TO-92 3L	Ammo
BC32740BU	BC32740	TO-92 3L	Bulk
BC32740TA	BC32740	TO-92 3L	Ammo

Absolute Maximum Ratings

Stresses exceeding the absolute maximum ratings may damage the device. The device may not function or be operable above the recommended operating conditions and stressing the parts to these levels is not recommended. In addition, extended exposure to stresses above the recommended operating conditions may affect device reliability. The absolute maximum ratings are stress ratings only. Values are at $T_A = 25^\circ\text{C}$ unless otherwise noted.

Symbol	Parameter	Value	Unit
V_{CES}	Collector-Emitter Voltage	-50	V
V_{CEO}	Collector-Emitter Voltage	-45	V
V_{EBO}	Emitter-Base Voltage	-5	V
I_C	Collector Current (DC)	-800	mA
T_J	Junction Temperature	150	$^\circ\text{C}$
T_{STG}	Storage Temperature	-55 to 150	$^\circ\text{C}$

Thermal Characteristics⁽¹⁾

Values are at $T_A = 25^\circ\text{C}$ unless otherwise noted.

Symbol	Parameter	Value	Unit
P_D	Power Dissipation	625	mW
	Derate Above 25°C	5.0	mW/ $^\circ\text{C}$
$R_{\theta JA}$	Thermal Resistance, Junction-to-Ambient	200	$^\circ\text{C}/\text{W}$

Note:

1. PCB size: FR-4, 76 mm x 114 mm x 1.57 mm (3.0 inch x 4.5 inch x 0.062 inch) with minimum land pattern size.

Electrical Characteristics

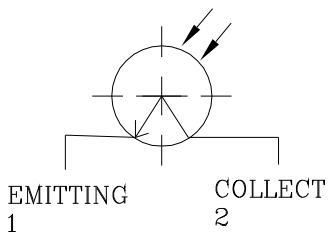
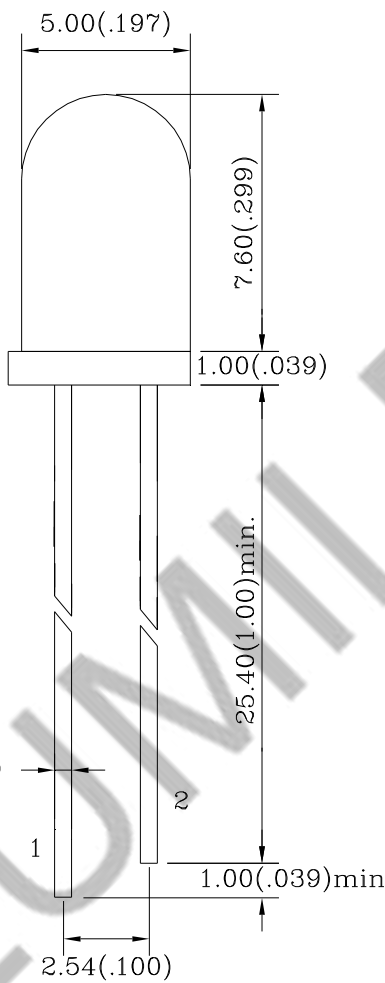
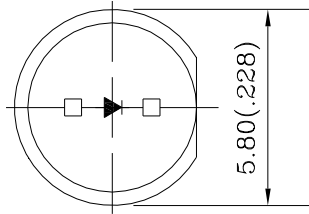
Values are at $T_A = 25^\circ\text{C}$ unless otherwise noted.

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
BV_{CEO}	Collector-Emitter Breakdown Voltage	$I_C = -10\text{ mA}, I_B = 0$	-45			V
BV_{CES}	Collector-Emitter Breakdown Voltage	$I_C = -0.1\text{ mA}, V_{BE} = 0$	-50			V
BV_{EBO}	Emitter-Base Breakdown Voltage	$I_E = -10\text{ }\mu\text{A}, I_C = 0$	-5			V
I_{CES}	Collector Cut-Off Current	$V_{CE} = -45\text{ V}, I_B = 0$		-2	-100	nA
h_{FE1}	DC Current Gain	$V_{CE} = -1\text{ V}, I_C = -100\text{ mA}$	100		630	
h_{FE2}		$V_{CE} = -1\text{ V}, I_C = -300\text{ mA}$	60			
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	$I_C = -500\text{ mA}, I_B = -50\text{ mA}$			-0.7	V
$V_{BE(on)}$	Base-Emitter On Voltage	$V_{CE} = -1\text{ V}, I_C = -300\text{ mA}$			-1.2	V
f_T	Current Gain Bandwidth Product	$V_{CE} = -5\text{ V}, I_C = -10\text{ mA},$ $f = 20\text{ MHz}$		100		MHz
C_{ob}	Output Capacitance	$V_{CB} = -10\text{ V}, I_E = 0,$ $f = 1\text{ MHz}$		12		pF

 h_{FE} Classification

Classification	16	25	40
h_{FE1}	100 ~ 250	160 ~ 400	250 ~ 630
h_{FE2}	60 ~	100 ~	170 ~

PACKAGE DIMENSIONS



ITEM	MATERIALS
RESIN	Epoxy Resin
LEAD FRAME	Sn Plating iron Alloy

Note:

1. All Dimensions are in millimeters.
2. Tolerance is $\pm 0.25\text{mm}$ (0.010 ") Unless otherwise specified.
3. Protruded resin under flange is 1.5mm (0.059 ") max.



5.0mm PHOTOTRANSISTOR
L51P3C

FEATURES

- * High-brightness
- * High reliability
- * Low-voltage characteristics
- * Pb FREE Products
- * RoHS Compliant

CHIP MATERIALS

- * SILICON

ABSOLUTE MAXIMUM RATING : (Ta = 25°C)

SYMBOL	PARAMETER	MAX	UNIT
PD	Power Dissipation	10	mW
V(BR)CEO	Collector-Emitter Breakdown Voltage	30	V
Topr	Operating Temperature Range	-35°C to 85°C	
Tstg	Storage Temperature Range	-35°C to 85°C	

ELECTRO-OPTICAL CHARACTERISTICS : (Ta = 25°C)

SYMBOL	PARAMETER	TEST CONDITION	MIN.	TYP.	MAX.	UNIT
BVCEO	Collector-Emitter Breakdown Voltage	Ic = 100 μ A Ee = 0 mw/cm ²	30			V
BVECO	Emitter-Collector Breakdown Voltage	IE=100 μ A Ee= 0 mw/cm ²	5			V
ICEO	Collector Dark Current	VCE=20V Ee=0 mw/cm ²			100	nA
VCE(S)	Collector-Emitter Saturation Voltage	IC=2mA Ee=0.5 mw/cm ²			0.4	V
TR/TF	Rise / Fall Time	VCE=5V IC=1mA RL=1000 Ω		15/15		μ S
IC	On Stat Collector Current	VCE=5V Ee=0.1 mw/cm ²		2		mA
λ	Spectral Sensitivity Wavelength			940		nm

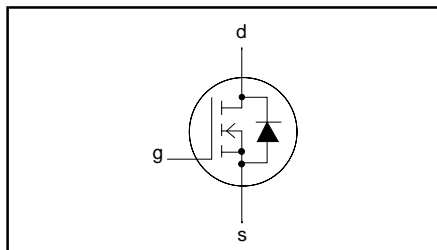
N-channel TrenchMOS™ transistor

IRF540, IRF540S

FEATURES

- 'Trench' technology
- Low on-state resistance
- Fast switching
- Low thermal resistance

SYMBOL



QUICK REFERENCE DATA

$V_{DSS} = 100\text{ V}$
$I_D = 23\text{ A}$
$R_{DS(ON)} \leq 77\text{ m}\Omega$

GENERAL DESCRIPTION

N-channel enhancement mode field-effect power transistor in a plastic envelope using 'trench' technology.

Applications:-

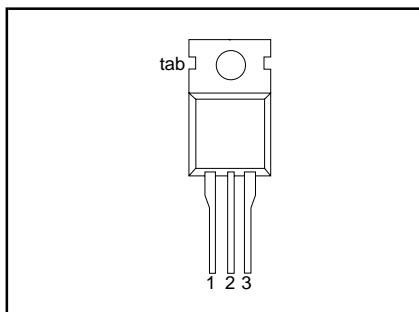
- d.c. to d.c. converters
- switched mode power supplies
- T.V. and computer monitor power supplies

The IRF540 is supplied in the SOT78 (TO220AB) conventional leaded package.
The IRF540S is supplied in the SOT404 (D²PAK) surface mounting package.

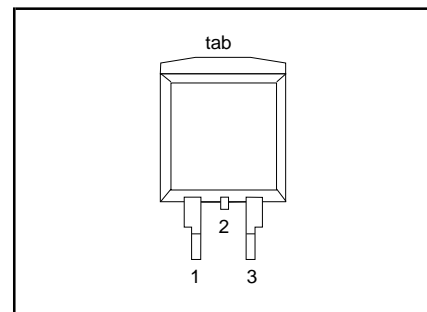
PINNING

PIN	DESCRIPTION
1	gate
2	drain ¹
3	source
tab	drain

SOT78 (TO220AB)



SOT404 (D²PAK)



LIMITING VALUES

Limiting values in accordance with the Absolute Maximum System (IEC 134)

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{DSS}	Drain-source voltage	$T_j = 25\text{ }^\circ\text{C}$ to $175\text{ }^\circ\text{C}$	-	100	V
V_{DGR}	Drain-gate voltage	$T_j = 25\text{ }^\circ\text{C}$ to $175\text{ }^\circ\text{C}$; $R_{GS} = 20\text{ k}\Omega$	-	100	V
V_{GS}	Gate-source voltage		-	± 20	V
I_D	Continuous drain current	$T_{mb} = 25\text{ }^\circ\text{C}$; $V_{GS} = 10\text{ V}$	-	23	A
		$T_{mb} = 100\text{ }^\circ\text{C}$; $V_{GS} = 10\text{ V}$	-	16	A
I_{DM}	Pulsed drain current	$T_{mb} = 25\text{ }^\circ\text{C}$	-	92	A
P_D	Total power dissipation	$T_{mb} = 25\text{ }^\circ\text{C}$	-	100	W
T_j, T_{stg}	Operating junction and storage temperature		- 55	175	$^\circ\text{C}$

¹ It is not possible to make connection to pin:2 of the SOT404 package

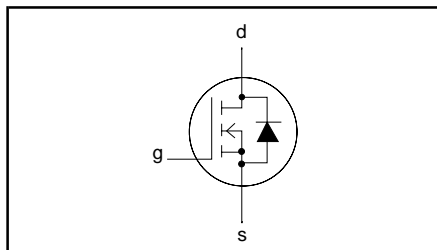
N-channel TrenchMOS™ transistor

IRF630, IRF630S

FEATURES

- 'Trench' technology
- Low on-state resistance
- Fast switching
- Low thermal resistance

SYMBOL



QUICK REFERENCE DATA

$V_{DSS} = 200\text{ V}$
$I_D = 9\text{ A}$
$R_{DS(ON)} \leq 400\text{ m}\Omega$

GENERAL DESCRIPTION

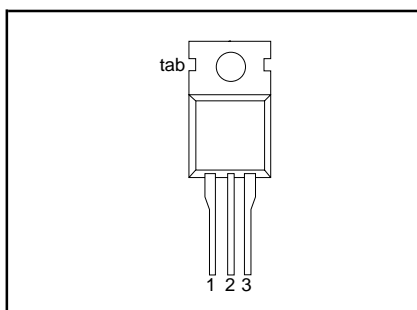
N-channel, enhancement mode field-effect power transistor using **Trench** technology, intended for use in off-line switched mode power supplies, T.V. and computer monitor power supplies, d.c. to d.c. converters, motor control circuits and general purpose switching applications.

The IRF630 is supplied in the SOT78 (TO220AB) conventional leaded package
 The IRF630S is supplied in the SOT404 (D²PAK) surface mounting package

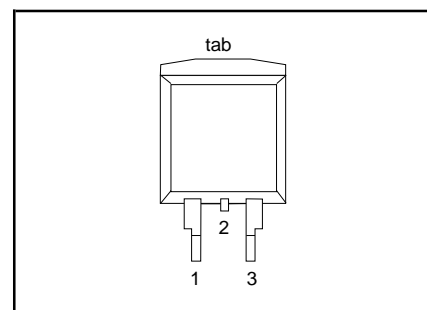
PINNING

PIN	DESCRIPTION
1	gate
2	drain ¹
3	source
tab	drain

SOT78 (TO220AB)



SOT404 (D²PAK)



LIMITING VALUES

Limiting values in accordance with the Absolute Maximum System (IEC 134)

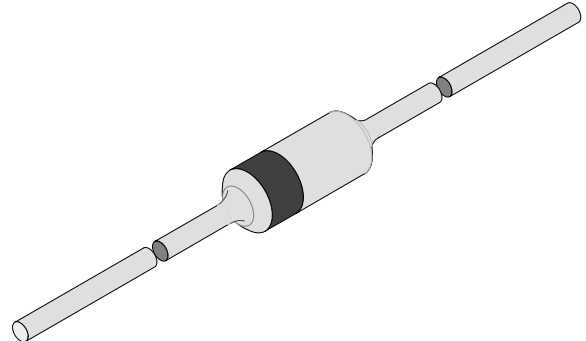
SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{DSS}	Drain-source voltage	$T_j = 25\text{ }^\circ\text{C}$ to $175\text{ }^\circ\text{C}$	-	200	V
V_{DGR}	Drain-gate voltage	$T_j = 25\text{ }^\circ\text{C}$ to $175\text{ }^\circ\text{C}$; $R_{GS} = 20\text{ k}\Omega$	-	200	V
V_{GS}	Gate-source voltage		-	± 20	V
I_D	Continuous drain current	$T_{mb} = 25\text{ }^\circ\text{C}$; $V_{GS} = 10\text{ V}$	-	9	A
		$T_{mb} = 100\text{ }^\circ\text{C}$; $V_{GS} = 10\text{ V}$	-	6.3	A
I_{DM}	Pulsed drain current	$T_{mb} = 25\text{ }^\circ\text{C}$	-	36	A
P_D	Total power dissipation	$T_{mb} = 25\text{ }^\circ\text{C}$	-	88	W
T_j, T_{stg}	Operating junction and storage temperature		-55	175	$^\circ\text{C}$

¹ It is not possible to make connection to pin:2 of the SOT404 package

Silicon Epitaxial Planar Diodes

Features

- Electrically equivalent diodes: 1N4148 – 1N914
1N4448 – 1N914B



Applications

Extreme fast switches

94 9367

Absolute Maximum Ratings

$T_j = 25^\circ\text{C}$

Parameter	Test Conditions	Type	Symbol	Value	Unit
Repetitive peak reverse voltage			V_{RRM}	100	V
Reverse voltage			V_R	75	V
Peak forward surge current	$t_p=1\mu\text{s}$		I_{FSM}	2	A
Repetitive peak forward current			I_{FRM}	500	mA
Forward current			I_F	300	mA
Average forward current	$V_R=0$		I_{FAV}	150	mA
Power dissipation	$l=4\text{mm}, T_L=45^\circ\text{C}$		P_V	440	mW
	$l=4\text{mm}, T_L \leq 25^\circ\text{C}$		P_V	500	mW
Junction temperature			T_j	200	$^\circ\text{C}$
Storage temperature range			T_{stg}	-65...+200	$^\circ\text{C}$

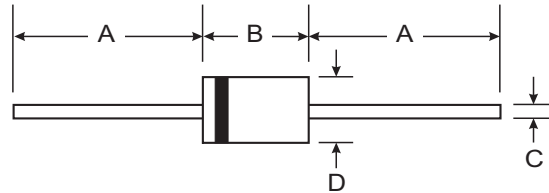
Maximum Thermal Resistance

$T_j = 25^\circ\text{C}$

Parameter	Test Conditions	Symbol	Value	Unit
Junction ambient	$l=4\text{mm}, T_L=\text{constant}$	R_{thJA}	350	K/W

Features

- Diffused Junction
- High Current Capability and Low Forward Voltage Drop
- Surge Overload Rating to 200A Peak
- Low Reverse Leakage Current
- **Lead Free Finish, RoHS Compliant (Note 3)**



Mechanical Data

- Case: DO-201AD
- Case Material: Molded Plastic. UL Flammability Classification Rating 94V-0
- Moisture Sensitivity: Level 1 per J-STD-020C
- Terminals: Finish — Tin. Plated Leads Solderable per MIL-STD-202, Method 208 (e3)
- Polarity: Cathode Band
- Marking: Type Number
- Weight: 1.1 grams (approximate)

DO-201AD		
Dim	Min	Max
A	25.40	—
B	7.20	9.50
C	1.20	1.30
D	4.80	5.30
All Dimensions in mm		

Maximum Ratings and Electrical Characteristics @ T_A = 25°C unless otherwise specified

Single phase, half wave, 60Hz, resistive or inductive load.
For capacitive load, derate current by 20%.

Characteristic	Symbol	1N 5400	1N 5401	1N 5402	1N 5404	1N 5406	1N 5407	1N 5408	Unit
Peak Repetitive Reverse Voltage Working Peak Reverse Voltage DC Blocking Voltage	V _{RRM} V _{RWM} V _R	50	100	200	400	600	800	1000	V
RMS Reverse Voltage	V _{R(RMS)}	35	70	140	280	420	560	700	V
Average Rectified Output Current @ T _A = 105°C (Note 1)	I _O	3.0							A
Non-Repetitive Peak Forward Surge Current 8.3ms Single half sine-wave superimposed on rated load	I _{FSM}	200							A
Forward Voltage @ I _F = 3.0A	V _{FM}	1.0							V
Peak Reverse Current @ T _A = 25°C at Rated DC Blocking Voltage @ T _A = 150°C	I _{RM}	10 100							μA
Typical Total Capacitance (Note 2)	C _T	50				25			pF
Typical Thermal Resistance Junction to Ambient	R _{θJA}	15							°C/W
Operating and Storage Temperature Range	T _j , T _{STG}	-65 to +150							°C

- Notes:
1. Valid provided that leads are kept at ambient temperature at a distance of 9.5mm from the case.
 2. Measured at 1.0MHz and applied reverse voltage of 4.0V DC.
 3. RoHS revision 13.2.2003. Glass and High Temperature Solder Exemptions Applied, see *EU Directive Annex Notes 5 and 7*.

Timer

NE/SA/SE555/SE555C

DESCRIPTION

The 555 monolithic timing circuit is a highly stable controller capable of producing accurate time delays, or oscillation. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For a stable operation as an oscillator, the free running frequency and the duty cycle are both accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output structure can source or sink up to 200mA.

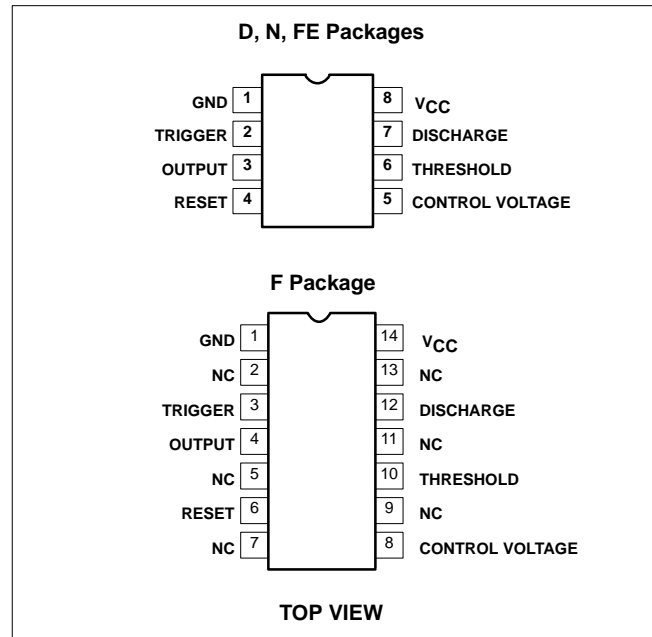
FEATURES

- Turn-off time less than 2µs
- Max. operating frequency greater than 500kHz
- Timing from microseconds to hours
- Operates in both astable and monostable modes
- High output current
- Adjustable duty cycle
- TTL compatible
- Temperature stability of 0.005% per °C

APPLICATIONS

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation

PIN CONFIGURATIONS



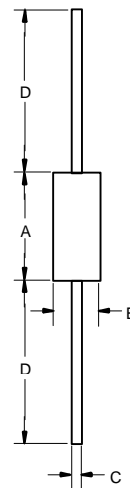
ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
8-Pin Plastic Small Outline (SO) Package	0 to +70°C	NE555D	0174C
8-Pin Plastic Dual In-Line Package (DIP)	0 to +70°C	NE555N	0404B
8-Pin Plastic Dual In-Line Package (DIP)	-40°C to +85°C	SA555N	0404B
8-Pin Plastic Small Outline (SO) Package	-40°C to +85°C	SA555D	0174C
8-Pin Hermetic Ceramic Dual In-Line Package (CERDIP)	-55°C to +125°C	SE555CFE	
8-Pin Plastic Dual In-Line Package (DIP)	-55°C to +125°C	SE555CN	0404B
14-Pin Plastic Dual In-Line Package (DIP)	-55°C to +125°C	SE555N	0405B
8-Pin Hermetic Cerdip	-55°C to +125°C	SE555FE	
14-Pin Ceramic Dual In-Line Package (CERDIP)	0 to +70°C	NE555F	0581B
14-Pin Ceramic Dual In-Line Package (CERDIP)	-55°C to +125°C	SE555F	0581B
14-Pin Ceramic Dual In-Line Package (CERDIP)	-55°C to +125°C	SE555CF	0581B

DB3/DC34 AND DB4

SILICON BIDIRECTIONAL DIAC

DO-35G



Features

- The three layer, two terminal, axial lead, hermetically sealed diacs are designed specifically for triggering thyristors.
- Lead Free Finish/Rohs Compliant (Note1) ("P" Suffix designates Compliant. See ordering information)
- Moisture Sensitivity: Level 1
- These diacs are intended for use in thyristors phase control , circuits for lamp dimming, universal motor speed control ,and heat control. Type number is marked.

Maximum Ratings

- Operating Temperature: -40°C to +125°C
 - Storage Temperature: -40°C to +125°C
 - Thermal Resistance Junction to Lead:167°C/W
 - Thermal Resistance Junction to Ambient: 400°C/W
- Electrical Characteristics @ 25°C Unless Otherwise Specified

Power dissipation on Printed Circuit(l=10mm)	P_C	150mW	$T_A=65^\circ\text{C}$
Repetitive Peak on-state Current DB3,DC34,DB4	I_{TRM}	2.0A	tp=10us, f=100HZ
Breakover Voltage DB3 DC34 DB4	V_{BO}	Min Typ Max 28 32 36V 30 34 38V 35 40 45V	C=22nF(Note 3)
Dynamic Breakover Voltage(Note 2)	ΔV	5V(Min.)	V_{BO} and V_F at 10mA
Breakover Voltage Symmetry DB3, DC34, DB4	$ +V_{BO} $ $- -V_{BO} $	$\pm 3V$	C=22nF(Note 3)
Output Voltage(Note 2)	$V_{o(min)}$	5V	
Breakover Current(Note 2)	$I_{BO(max)}$	100uA	C=22nF
Rise Time(Note 2)	T_r	1.5us	
Leakage Current(Note 2)	$I_{B(max)}$	10uA	$V_B=0.5V_{BO(max)}$

DIM	INCHES		MM		NOTE
	MIN	MAX	MIN	MAX	
A	---	.150	---	3.8	
B	---	.079	---	2.00	
C	---	.020	---	.52	
D	1.083	---	27.50	---	

Note: 1. Lead in Glass Exemption Applied, see EU Directive Annex 5.
2. Electrical characteristics applicable in both forward and reverse directions.
3. Connected in parallel with the devices.



BTA/BTB12 and T12 Series

SNUBBERLESS™, LOGIC LEVEL & STANDARD

12A TRIACs

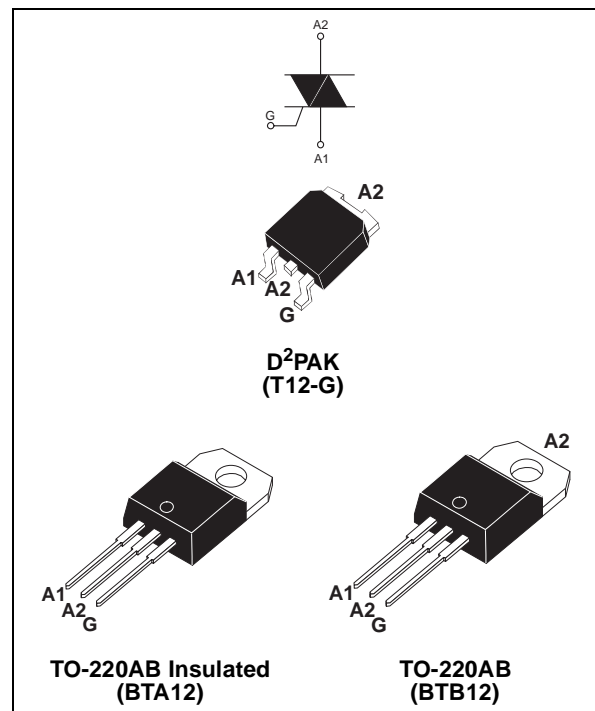
MAIN FEATURES:

Symbol	Value	Unit
$I_{T(RMS)}$	12	A
V_{DRM}/V_{RRM}	600 and 800	V
$I_{GT}(Q_1)$	5 to 50	mA

DESCRIPTION

Available either in through-hole or surface-mount packages, the BTA/BTB12 and T12 triac series is suitable for general purpose AC switching. They can be used as an ON/OFF function in applications such as static relays, heating regulation, induction motor starting circuits... or for phase control operation in light dimmers, motor speed controllers,...

The snubberless versions (BTA/BTB...W and T12 series) are specially recommended for use on inductive loads, thanks to their high commutation performances. Logic level versions are designed to interface directly with low power drivers such as microcontrollers. By using an internal ceramic pad, the BTA series provides voltage insulated tab (rated at 2500V RMS) complying with UL standards (File ref.: E81734)

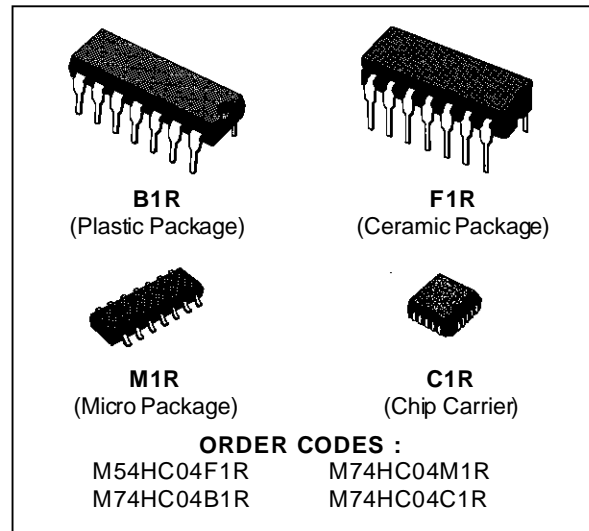


ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter			Value	Unit	
$I_{T(RMS)}$	RMS on-state current (full sine wave)	D²PAK/TO-220AB	$T_c = 105^\circ\text{C}$	12	A	
		TO-220AB Ins.	$T_c = 90^\circ\text{C}$			
I_{TSM}	Non repetitive surge peak on-state current (full cycle, T_j initial = 25°C)	F = 50 Hz	t = 20 ms	120	A	
		F = 60 Hz	t = 16.7 ms	126		
I^2t	I^2t Value for fusing	tp = 10 ms		78	A^2s	
di/dt	Critical rate of rise of on-state current $I_G = 2 \times I_{GT}$, tr ≤ 100 ns	F = 120 Hz	$T_j = 125^\circ\text{C}$	50	A/μs	
V_{DSM}/V_{RSM}	Non repetitive surge peak off-state voltage	tp = 10 ms	$T_j = 25^\circ\text{C}$	$V_{DRM}/V_{RRM} + 100$	V	
I_{GM}	Peak gate current	tp = 20 μs	$T_j = 125^\circ\text{C}$	4	A	
$P_{G(AV)}$	Average gate power dissipation	$T_j = 125^\circ\text{C}$		1	W	
T_{stg} T_j	Storage junction temperature range Operating junction temperature range				- 40 to + 150 - 40 to + 125	$^\circ\text{C}$

HEX INVERTER

- HIGH SPEED
 $t_{PD} = 6 \text{ ns (TYP.) AT } V_{CC} = 5 \text{ V}$
- LOW POWER DISSIPATION
 $I_{CC} = 1 \mu\text{A (MAX.) AT } T_A = 25 \text{ }^\circ\text{C}$
- HIGH NOISE IMMUNITY
 $V_{NIH} = V_{NIL} = 28 \% V_{CC} \text{ (MIN.)}$
- OUTPUT DRIVE CAPABILITY
 10 LSTTL LOADS
- SYMMETRICAL OUTPUT IMPEDANCE
 $|I_{OH}| = I_{OL} = 4 \text{ mA (MIN.)}$
- BALANCED PROPAGATION DELAYS
 $t_{PLH} = t_{PHL}$
- WIDE OPERATING VOLTAGE RANGE
 $V_{CC} \text{ (OPR)} = 2 \text{ V TO } 6 \text{ V}$
- PIN AND FUNCTION COMPATIBLE WITH
 54/74LS04

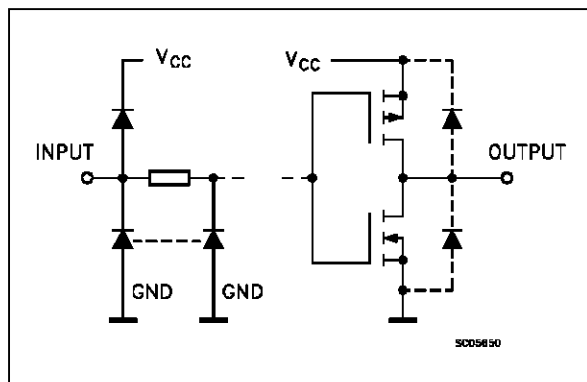


DESCRIPTION

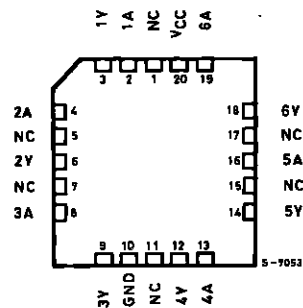
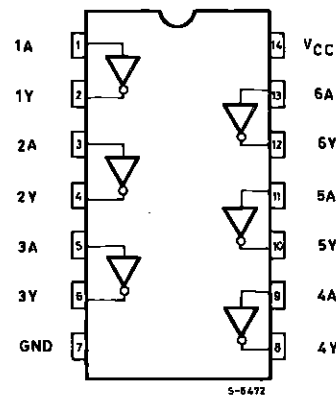
The M54/74HC04 is a high speed CMOS HEX INVERTER fabricated in silicon gate C²MOS technology. It has the same high speed performance of LSTTL combined with true CMOS low power consumption.

The internal circuit is composed of 3 stages including buffer output, which enables high noise immunity and stable output. All inputs are equipped with circuits against static discharge and transient excess voltage.

INPUT AND OUTPUT EQUIVALENT CIRCUIT



PIN CONNECTIONS (top view)



NC =
No Internal
Connection

DM74LS08

Quad 2-Input AND Gates

General Description

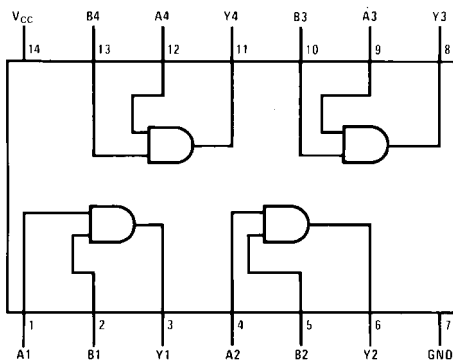
This device contains four independent gates each of which performs the logic AND function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS08M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS08SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS08N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = AB$$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = HIGH Logic Level
L = LOW Logic Level

DM74LS32

Quad 2-Input OR Gate

General Description

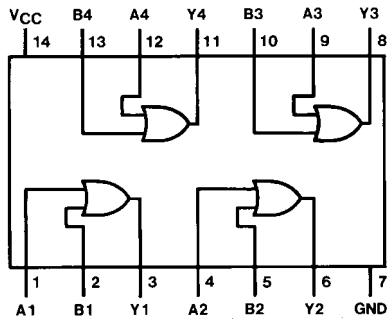
This device contains four independent gates each of which performs the logic OR function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS32M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS32SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS32N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = A + B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = HIGH Logic Level
L = LOW Logic Level

DM74LS00

Quad 2-Input NAND Gate

General Description

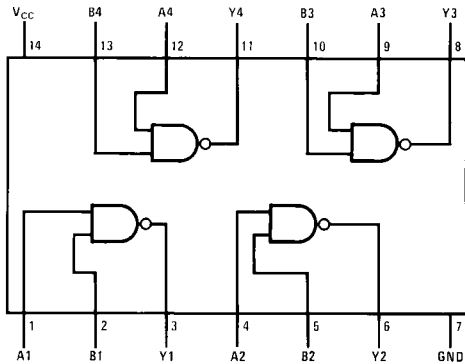
This device contains four independent gates each of which performs the logic NAND function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS00M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS00SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS00N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = \overline{AB}$$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level
L = LOW Logic Level

DM74LS02

Quad 2-Input NOR Gate

General Description

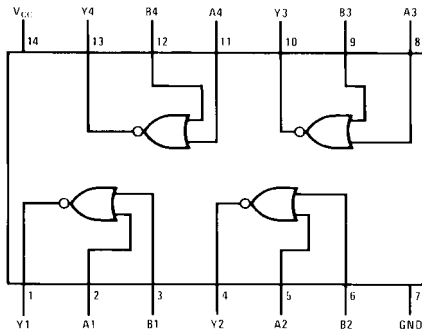
This device contains four independent gates each of which performs the logic NOR function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS02M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS02SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS02N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = \overline{A + B}$$

Inputs		Output
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	L

H = HIGH Logic Level
L = LOW Logic Level

DM74LS86

Quad 2-Input Exclusive-OR Gate

General Description

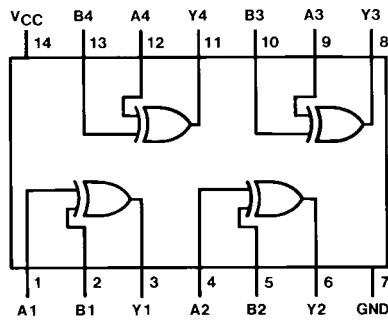
This device contains four independent gates each of which performs the logic exclusive-OR function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS86M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS86SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS86N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = A \oplus B = \bar{A}B + A\bar{B}$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level
L = LOW Logic Level

Bibliografía

- FLOYD, Thomas. *Dispositivos electrónicos. Octava edición*. Pearson Education. México. 2008.
- FLOYD, Thomas. *Fundamentos de sistemas digitales. Novena edición*. Pearson Education. Madrid. 2006.
- MALVINO, Albert; BATES, David. *Principios de Electrónica. Séptima edición*. McGraw-Hill/Interamericana de España. Madrid. 2007.